

EL CHASIS L03

DESCRIPCIÓN DE CIRCUITOS

MANUAL DE ENTRENAMIENTO

INDICE:

	Pag.
INTRODUCCIÓN.....	4
MODELOS , VERSIONES Y CARACTERÍSTICAS.....	6
LA FUENTE DE ALIMENTACIÓN.....	9
<u>ASPECTOS GENERALES</u>	9
<u>DIAGRAMA EN BLOQUES</u>	9
<u>TENSIONES DE ENTRADA</u>	10
<u>TENSIONES DE SALIDA</u>	10
<u>SECUENCIA DE ARRANQUE DE LA FUENTE DE ALIMENTACIÓN</u>	10
<u>LA REGULACIÓN</u>	12
<u>CONTROLES DE LA FUENTE DE ALIMENTACIÓN</u>	13
<i>STD_CON</i>	13
<i>PW_ADJ</i>	13
<u>EL MODO “RÁFAGA” O MODO “AHORRO DE ENERGIA”</u>	14
<u>PROTECCIONES DE LA FUENTE DE ALIMENTACIÓN</u>	15
<i>Protección por Sobrecorriente (OCP Over Current Protection)</i>	15
<i>Protección por Sobrepotencia (OPP Over Power Protection)</i>	15
<i>Protección por Cortocircuito de Bobinados (Short Winding Protection)</i>	15
<i>Protección por Sobretensión (OVP OverVoltage Protection)</i>	16
<i>Desmagnetización o Protección de Modo Continuo</i>	16
<i>Protección por TON Máximo</i>	17
<u>TIPS DE REPARACIÓN DE LA FUENTE DE ALIMENTACIÓN</u>	18
DEFLEXIONES.....	19
<u>LA DEFLEXIÓN HORIZONTAL</u>	19
<i>La Etapa de Deflexión Horizontal como Fuente de alimentación Auxiliar</i>	19
<i>El Driver Horizontal</i>	21
<i>La Deflexión Horizontal propiamente dicha</i>	22
<i>La Bobina de Linealidad</i>	24
<u>LA DEFLEXIÓN VERTICAL</u>	25
<i>La Etapa de Salida</i>	25
<i>Períodos del Barrido</i>	26
PROCESAMIENTO DE SINCRONISMOS.....	28
<u>SINCRONISMO HORIZONTAL</u>	28
<u>SINCRONISMO VERTICAL</u>	30
LA ETAPA DE SINTONÍA.....	31

<u>EL SINTONIZADOR</u>	31
<i>Diagrama en Bloques</i>	31
<i>Descripción de los pines del Sintonizador</i>	32
<i>El Sintonizador por dentro</i>	32
<i>Control del Sintonizador</i>	34
<i>Tips de Reparación de la Etapa de Sintonía</i>	34
EL CANAL DE FI.....	35
SELECCIÓN DE FUENTE.....	37
PROCESAMIENTO DE VIDEO.....	39
<u>PROCESAMIENTO DE LUMINANCIA</u>	39
<u>PROCESAMIENTO DE CROMA</u>	40
<u>PROCESAMIENTO YUV- RGB</u>	42
<i>Control de Contraste</i>	43
<i>Control de Brillo</i>	43
<i>El Limitador de Haz y el Limitador de Pico de Blanco</i>	43
<u>EL LOOP CCC y LA FUNCION DEL PIN N° 50</u>	45
<i>El Loop CCC</i>	45
<i>El pin n° 50 (BLKIN)</i>	47
<u>EL AMPLIFICADOR DE VIDEO Y EL PANEL TRC</u>	48
<i>Descarga del TRC</i>	48
<i>Tips de Reparación de la Etapa de Procesamiento de Video</i>	49
PROCESAMIENTO DE AUDIO.....	50
<u>PROCESAMIENTO DE AUDIO EN EQUIPOS STEREO</u>	50
<u>PROCESAMIENTO DE AUDIO EN EQUIPOS MONOAURALES</u>	51
<i>Selección de Fuentes</i>	51
<u>EL AMPLIFICADOR DE AUDIO</u>	53
<i>El AN7522N</i>	54
<i>El AN7523N</i>	55
<i>La Condición de “Mute”</i>	56
CONTROL.....	57
<u>DESCRIPCIÓN DE LOS PINES DEL MICROPROCESADOR</u>	58
PROTECCIONES.....	60
MODO SERVICE Y AJUSTES.....	63

EL CHASIS L03

INTRODUCCIÓN

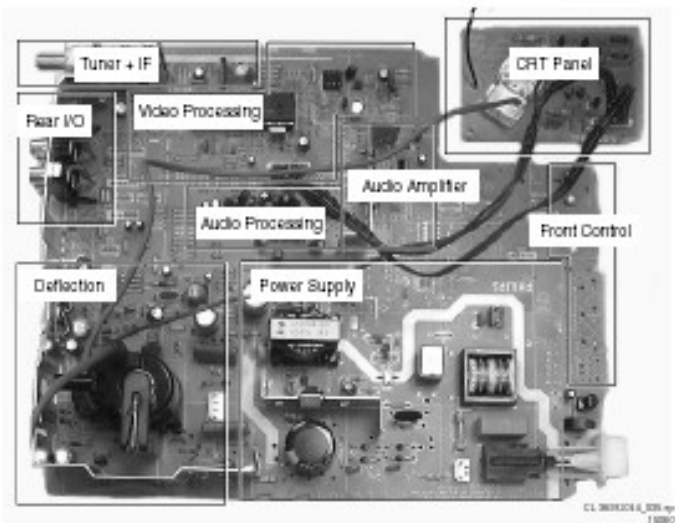
El chasis L03 es un chasis global (de fabricación masiva y venta a nivel LATAM, NAFTA y AP) para aparatos cuyos tamaños de pantalla van desde 14" hasta 21" incluyendo el ya característico formato de 21"RF.

Los televisores con chasis L03 comenzarán a producirse durante Septiembre del año 2003 y reemplazarán a los producidos con chasis L01.2.

Con Chasis L03 se fabricarán equipos Monoaurales como así también aparatos Stereo en los que se incorpora un nuevo BTSC decoder. (AN5829).

La arquitectura de este nuevo Chasis consiste de un Panel Principal, un panel TRC y un pequeño panel para aquellos aparatos con AV Lateral.

En el Panel Principal se implementan las etapas de Sintonía, Procesamiento de Video, Entradas Externas, Procesamiento y Amplificación de Audio, Deflexiones y Fuente de Alimentación.

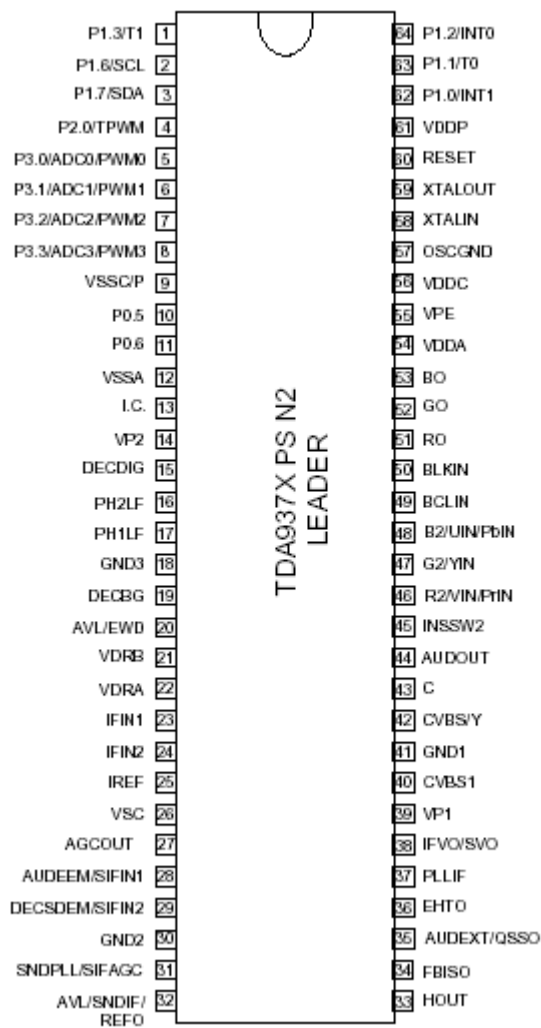


Tal como en el L01 que es su predecesor, en este chasis las funciones de Procesamiento de Video, Microprocesador, decodificación de Closed Caption y Demodulación de FM (sólo Monoaural) son realizadas por un mismo integrado de los denominados UOC's (Ultimate One Chip).

Este nuveo integrado será el TDA9370 (con sus versiones estéreo y mono) para países que tengan TV's multinorma , o será el TDA9377 (con sus versiones estéreo y mono) para países que tengan sólo TV's NTSC.

Dado que el uso de integrados de tipo UOC va siendo cada vez más común y con la idea de diferenciarlos de otras familias de UOC's, a los TDA937X se los ha bautizado con el nombre de "LEADER Ic", o sea el Líder o el Jefe dentro del TV.

Este Dispositivo está encapsulado en un chip de tipo SDIP64 (Shrink Dual In Line, 64 pin SOT274-1) , es decir que tiene dos filas de 32 pines de conexión, una a cada lado del integrado.



Este tipo de encapsulado lo hace fácil de trabajar y de probar ya que por el hecho de ser NO SMD y estar montado del lado de los componentes no se requiere de ninguna herramienta fuera de lo convencional para desoldarlo o soldarlo.

MODELOS , VERSIONES Y CARACTERÍSTICAS:

Con el Chasis L03 se fabricarán en Latinoamérica los siguientes modelos , que reemplazarán a los actuales aparatos que usan el Chasis L01.2:

L03 Date: 23-June-2003 Version: 1.6			
2003 TYPE NUMBER	14PT3131	14PT4131	20PT3331
2002 TYPE NUMBER	14PT218A, 318A (/44R, /55R)	14PT519A	20PT228A, 328A (/44R, /55R)
SALES ORG	LATAM	LATAM	LATAM
CHASSIS	L03	L03	L03
SCREEN SIZE	14	14	20
CRT TYPE	FSQ	FSQ	FSQ
SIGNAL STANDARD	TRI + PAL-BG Pb - /77R, /78R NTSC - /44R, /55R	TRI + PAL-BG Pb - /77R, /78R NTSC - /44R, /55R	TRI + PAL-BG Pb - /77R, /78R NTSC - /44R, /55R
VOLTAGE	90-255 Auto	90-255 Auto	90-255 Auto
AUDIO	MONO	STEREO + SAP	MONO
SPEAKERS	1 x 3W	2 x 3W	1 x 3W
SECOND AUDIO PROGRAM	NO	YES	NO
REAR CONNECTORS	1 AV IN MONO for /78R 75 Ohms (F Type)	75 Ohms (F Type)	1 AV IN MONO for /77R, /78R 1 AV OUT MONO for /77R 75 Ohms (F Type)
FRONT CONNECTORS	1 AV IN MONO except for /78R	1 AV IN STEREO	1 AV IN MONO except for /78R
SIDE CONNECTORS	NO	NO	NO
HEADPHONE JACK	YES except for /78R	YES	YES except for /78R
MODEL NUMBER	/44R	/44A	/44R
BUILD LOCATION	MAO	TdF	MAO
COUNTRY OF SALE	Chile	Chile	Chile
DFU / MENU LANGUAGE	Spanish	Spanish	Spanish
ACCESSORIES	Antenna	Antenna	Antenna
MAINS PLUG	Brazil (Round Pin)	Brazil (Round Pin)	Brazil (Round Pin)
MODEL NUMBER	/77P	/55A	/77P
BUILD LOCATION	TdF	TdF	TdF
COUNTRY OF SALE	Par + Uru	Peru	Par + Uru
DFU / MENU LANGUAGE	Spanish	Spanish	Spanish
ACCESSORIES	Antenna	Antenna	Antenna
MAINS PLUG	Brazil (Round Pin)	Flat Pin	Brazil (Round Pin)
MODEL NUMBER	/55R	/55R	/55R
BUILD LOCATION	MAO	MAO	MAO
COUNTRY OF SALE	Peru + Caribbean	Caribbean	Peru + Caribbean
DFU / MENU LANGUAGE	Spanish	Spanish	Spanish
ACCESSORIES	Antenna	Antenna	Antenna
MAINS PLUG	Flat Pin	Flat Pin	Flat Pin
MODEL NUMBER	/77R	/77R	/77R

BUILD LOCATION	TdF	TdF	TdF
COUNTRY OF SALE	Argentina	Argentina + Par + Uru	Argentina
DFU / MENU LANGUAGE	Spanish	Spanish	Spanish
ACCESSORIES	IEC-F antenna adapter + Antenna	IEC-F antenna adapter + Antenna	IEC-F antenna adapter + Antenna
MAINS PLUG	IRAM 2063	IRAM 2063	IRAM 2063
MODEL NUMBER	/78R	/78R	/78R
BUILD LOCATION	MAO	MAO	MAO
COUNTRY OF SALE	Brazil	Brazil	Brazil
DFU / MENU LANGUAGE	Portuguese	Portuguese	Portuguese
ACCESSORIES	Antenna	Antenna	
MAINS PLUG	Round Pin (NBR 14136)	Round Pin (NBR 14136)	Round Pin (NBR 14136)

L03 Date: 23-June-2003 Version: 1.6			
2003 TYPE NUMBER	20PT4331	21PT5433	21PT5434
2002 TYPE NUMBER	20PT529A	21PT5431	21PT5432
SALES ORG	LATAM	LATAM	LATAM
CHASSIS	L03	L03	L03
SCREEN SIZE	20	21	21
CRT TYPE	FSQ	RF	RF
SIGNAL STANDARD	TRI + PAL-BG Pb - /77R, /78R NTSC - /44R, /55R	TRI + PAL-BG Pb - /78R NTSC - /55R	TRI + PAL-BG Pb - /77R, /78R NTSC - /44R, /55R
VOLTAGE	90-255 Auto	90-255 Auto	90-255 Auto
AUDIO	STEREO + SAP	STEREO + SAP	STEREO + SAP
SPEAKERS	2 x 3W	2 x 3W	2 x 3W
SECOND AUDIO PROGRAM	YES	YES	YES
REAR CONNECTORS	1 AV IN STEREO 1 COMPONENT VIDEO 1 AV OUT STEREO 75 Ohms (F Type)	1 AV IN STEREO 75 Ohms (F Type)	1 AV IN STEREO 1 COMPONENT VIDEO 1 AV OUT STEREO 75 Ohms (F Type)
FRONT CONNECTORS	NO	NO	NO
SIDE CONNECTORS	NO	NO	NO
HEADPHONE JACK	NO	NO	NO
MODEL NUMBER	/44A	/44R - NOT APPLICABLE	/44A
BUILD LOCATION	TdF		TdF
COUNTRY OF SALE	Chile		Chile
DFU / MENU LANGUAGE	Spanish		Spanish
ACCESSORIES	Antenna		Antenna
MAINS PLUG	Brazil (Round Pin)		Round Pin (NBR 14136)
MODEL NUMBER	/55A	/55R - NOT APPLICABLE	/55A
BUILD LOCATION	TdF		TdF
COUNTRY OF SALE	Peru		Peru
DFU / MENU LANGUAGE	Spanish		Spanish
ACCESSORIES	Antenna		Antenna
MAINS PLUG	Flat Pin		Flat Pin
MODEL NUMBER	/55R	/55R	/55R
BUILD LOCATION	MAO	MAO	MAO

COUNTRY OF SALE	Caribbean	Panama + Ecuador	Panama + Ecuador
DFU / MENU LANGUAGE	Spanish	Spanish	Spanish
ACCESSORIES	Antenna	Antenna	Antenna
MAINS PLUG	Flat Pin	Flat Pin	Flat Pin
MODEL NUMBER	/77R	/77R - NOT APPLICABLE	/77R
BUILD LOCATION	TdF		TdF
COUNTRY OF SALE	Argentina + Par + Uru		Argentina + Par + Uru
DFU / MENU LANGUAGE	Spanish		Spanish
ACCESSORIES	IEC-F antenna adapter + Antenna		IEC-F antenna adapter
MAINS PLUG	IRAM 2063		IRAM 2063
MODEL NUMBER	/78R	/78R	/78R
BUILD LOCATION	MAO	MAO	MAO
COUNTRY OF SALE	Brazil	Brazil	Brazil
DFU / MENU LANGUAGE	Portuguese	Portuguese	Portuguese
ACCESSORIES			
MAINS PLUG	Round Pin (NBR 14136)	Round Pin (NBR 14136)	Round Pin (NBR 14136)

LA FUENTE DE ALIMENTACION

(acompañar con el diagrama A1 del Service Manual

ASPECTOS GENERALES:

La fuente de alimentación en el chasis L03SS es del tipo SMPS (Switch Mode Power Supply); es decir que en la parte primaria de la fuente se encuentra un circuito de control en base a un oscilador.

Este tipo de Fuente Conmutada es llamado Fly Back converter ; ya que la transferencia de energía entre el primario y el secundario se produce a partir del momento en que el transistor de conmutación deja de conducir.

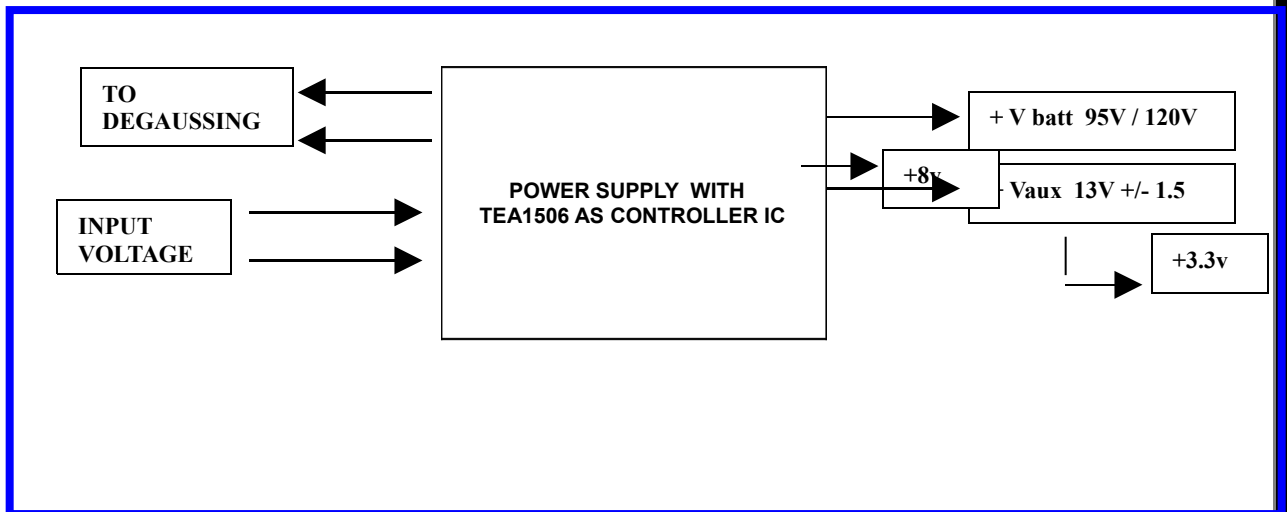
La frecuencia de operación de la fuente varía de acuerdo al estado de carga de la misma y a la tensión de red. El rango de operación va desde 25KHz (estado de máxima carga) hasta 175KHz para cargas menores.

Un ingenioso circuito para “salto de ciclos” o “Modo Ráfaga” se ha implementado con la idea de reducir el consumo de energía cuando el equipo está en Stand By.

Esta Fuente de Alimentación será usada en aparatos de 14”, 20”, 21” y 21”RF.

Gracias al Modo Burst o Ráfaga activado toda vez que el equipo pasa a Stand By , el consumo de potencia en dicho modo es menor que 3 Watts.

DIAGRAMA EN BLOQUES:



TENSIONES DE ENTRADA:

S. No	Country/Region	Voltage Range For LO3 SS
1	NAFTA	90 – 140V
2	LATAM	90 – 252V

TENSIONES DE SALIDA:

Vbatt= +95 volts/ +120 Volts (para la etapa de Salida horizontal y Alta tensión) .

Vaux= +13 volts +/- 1.5 Volts (para el amplificador de Audio) .

Existen también dos tensiones derivadas de la tensión Vaux:

+8 Volts para el UOC (etapa de procesamiento de video y sincronismos)

+3.3 Volts para la alimentación del UOC (Control y Oscilador Horizontal) y la Eeprom.

Estas mismas tensiones medidas con tester en los respectivos estados ON y Stand By resultaron:

	ON	Stand By
Vbatt	Tester Dig. 94V ; Tester Analog. 94V	Tester Dig. 92V ; Tester Analog. 92V
Vaux	Tester Dig. 12.8V; Tester Analog. 12.5V	Tester Dig. 11V; Tester Analog. 10.7V
+8Volts	Tester Dig. 7.78V; Tester Analog. 7.7V	Tester Dig. 0.6V; Tester Analog. 0.6V
+3.3Volts	Tester Dig. 3.2V; Tester Analog. 3.2V	Tester Dig. 3.2V; Tester Analog. 3.2V

SECUENCIA DE ARRANQUE DE LA FUENTE DE ALIMENTACIÓN:

El TEA 1506T usado en los aparatos con Chasis L03 no tiene fuente de encendido interna directamente desde la tensión de red rectificada, como sí lo tenía el TEA1507 usado en el Chasis L01 , el cual arrancaba por medio de su pin n°8 (Drain).

El pin 14 del TEA1506T (Drain) conectado a la tensión de red rectificada, sólo sirve para alimentar inicialmente a la circuitería interna del integrado, como así también para permitir el Soft Start de la fuente de alimentación.

De lo anterior se deduce que un resistor externo debe ser agregado para que la fuente comience a funcionar.

Inicialmente el Ic 7520 (TEA1506T) está en el modo de “Reencendido de Seguridad” ; y mientras tanto la tensión de su pin n°2 (Vcc)se mantenga debajo del nivel Vcc Start (11 Volts), la corriente que consume el integrado es ínfima (cercana a cero).

El capacitor C2521 (CVcc) va siendo cargado por medio de las resistencias 3506 (330K) y 3507 (33K), las cuales están en serie y conectadas directamente a un polo de la Red de Alimentación.

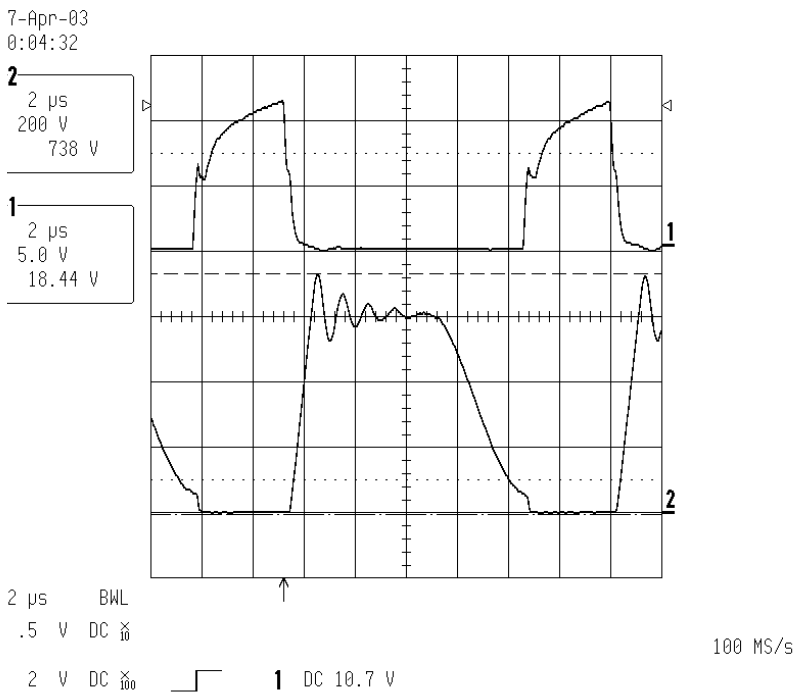
Si bien , por un lado las resistencias van a un polo de la red, el Diodo D6500 del Puente Rectificador principal, hace las veces de rectificador de media onda, con lo cual C2521 termina cargándose con continua.

Cuando C2521 (CVcc) alcanza los 11 Volts (Vcc Start), el integrado saca por su pin n° 11 (Driver) el primer pulso de excitación para el FET 7521.

La conducción de Q7521 provoca circulación de corriente por el primario del transformador 5520 (bobinado 1-3), y por lo tanto almacenamiento de energía electromagnética en los bobinados.

Al momento en que el pulso de excitación del FET se corta, se hace cero la corriente del primario, y la energía se tranfiere al bobinado secundario para alimentar a todo el aparato.

Ver las formas de onda medidas en el pin Drainage y en el Gate de Q7521.



Ch 1 - VGS (Gate drive)

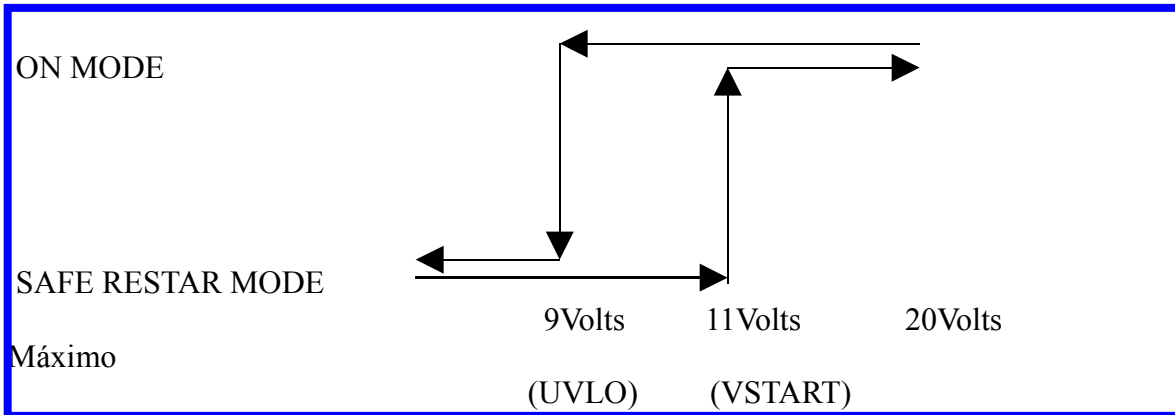
Ch 2 - VDS (800V max.)

La entrada en funcionamiento del Ic7520 hace que éste comience a consumir más corriente por lo que la tensión de su pin n°2 (Vcc) tiende a bajar cada vez más. Esto implica que el integrado no puede continuar siendo alimentado a partir de la derivación de la tensión de red hecha con R3506 y R3507. Si la tensión del pin n° 2 (Vcc) del Ic cae por debajo de los 9 volts (UVLO level), el TEA 1506T deja de

producir pulsos de excitación para el FET y se pone en el Modo Reencendido de Seguridad (Safe Restart Mode).

Para que esto no ocurra y la fuente continúe funcionando, juega un papel fundamental el bobinado 5-6 del transformador 5520. Dicho bobinado , que es el bobinado de relevo, en conjunto con Q7523 y D6520 son los encargados de reponerle la carga a C2521 (CVcc) de modo que la tensión de alimentación del TEA1506T pueda ser asegurada.

La actividad o no actividad del TEA1506T en relación a la tensión de su pin nº 2 (Vcc) puede verse claramente en el siguiente ciclo de histéresis.



LA REGULACIÓN

La tensión “Main Supply” es muestreada para la regulación de la Fuente de Alimentación.

El objetivo del circuito de regulación será entonces mantener constante dicha tensión.

La tensión “Main Supply” es muestreada por el circuito de regulación por medio del divisor resistivo formado por R3543 (82K) y R3544 (6K8) y a través de este divisor es llevada a la Base de Q7540. Este transistor (Q7540) tiene su Emisor con una tensión fija dada por el Diodo Zener 6540, por lo que cualquier variación de su tensión de Base provocará una variación directa en la corriente de Colector. Dado que el colector de Q7540 es el sumidero de corriente del Optoacoplador 7515 (TCET1103G); su efecto se verá directamente reflejado en el pin nº 6 (Ctrl) del Ic 7520 (TEA1506T).

Si por un aumento de la carga, la tensión Main Supply cae => menos corriente de Colector circulará por Q7540 => menos enciende el LED interno del Optoacoplador => menos tensión se obtiene en el emisor del TCET1103G en su pin nº3. Todo esto llevará a que el Ic 7520 (TEA1506T) pase a agrandar el TON de los pulsos de excitación del FET.

Si por una disminución de la carga, la tensión Main Supply aumenta => aumenta la corriente de Colector de Q7540 => el LED interno del Optoacoplador enciende con

más intensidad => mayor tensión se obtiene en el emisor del Optoacoplador 7515 (TCET1103G). Todo esto llevará a que el Ic 7520 (TEA1506T) pase a disminuir el TON de los pulsos de excitación del FET.

En funcionamiento normal, la tensión en el pin n° 6 (Ctrl) del Ic 7520 se encontrará dentro de un rango comprendido entre 1 Volt (elevado consumo y baja frecuencia de conmutaciones) y 1.425 Volts (bajo consumo y alta frecuencia de conmutaciones).

CONTROLES DE LA FUENTE DE ALIMENTACION

La Fuente de Alimentación está interconectada con el Microprocesador UOC por medio de dos líneas de control. Estas Líneas de control son: STD_CON y PW_ADJ.

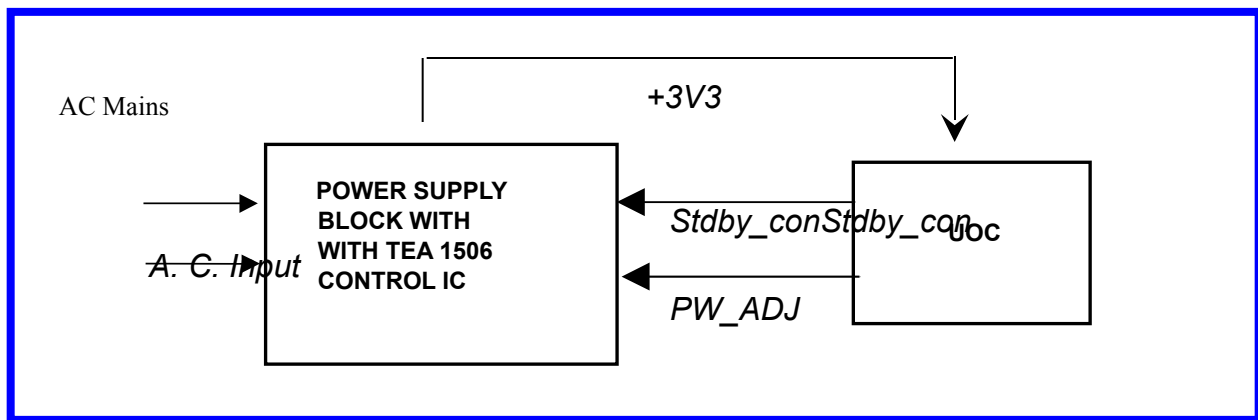


Figure 1. Block diagram of PSU interface with UOC

STD_CON: Stand By Control

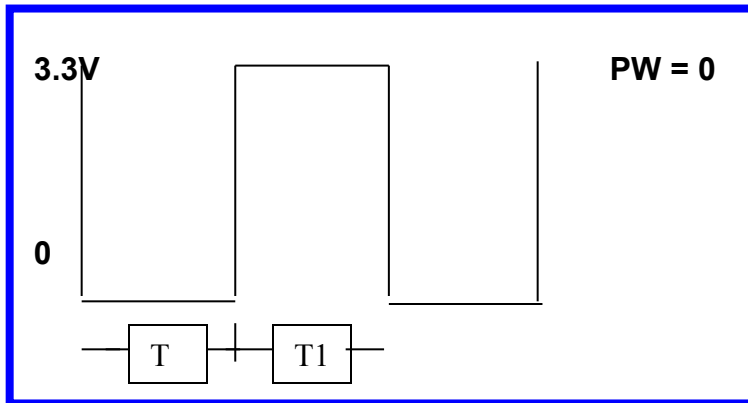
Esta señal es generada por el Microprocesador desde su pin n° 1. Presenta distintos estados según el funcionamiento del TV.

Operación normal: Mientras el TV se encuentra funcionando normalmente la línea STD_CON permanece en estado alto, es decir 3.3 Volts. (prestar especial atención dado que en el chasis L01 este estado es totalmente el contrario).

Modo Stand By: La señal STD_CON es una onda cuadrada que está 5 mseg. en estado bajo y 5 mseg en estado alto. Esta onda cuadrada generada por el UOC es aplicada al transistor Q7541 que opera directamente sobre el Optoacoplador para activar el Modo BURST o “RAFAGA” para el ahorro de energía durante el Stand By o toda vez que el Microprocesador detecte una condición de protección.

PW_ADJ: Picture Width Adjust

Esta señal es también generada por el Microprocesador por medio de su pin n° 5. Es una señal de tipo rectangular con un ciclo de actividad variable entre 0 y 100%. Por default el ciclo de actividad es del 50%.



El valor de la tensión Main Supply puede ser levemente variado, cambiando el ciclo de actividad de la señal PW_ADJ. La idea es tener un ajuste que permita corregir el ancho de la pantalla cuando quede fuera de especificación debido a las tolerancias de componentes críticos tales como el Yugo de Deflexión, el capacitor de Retrazado, el capacitor de Corrección en “S”, etc.

Este método de ajuste del valor de la fuente de alimentación mediante un recurso de Software no se observaba en anteriores chassis.

El valor medio de la señal PW_ADJ es aplicado por medio de R3546 a la la base del transistor Q7540 que cumple un rol fundamental en la regulación de la fuente.

EL MODO “RÁFAGA” O MODO “AHORRO DE ENERGIA”:

Dado que la fuente de alimentación trabaja a mayor frecuencia para condiciones de carga baja, por ejemplo en Stand By, hay una determinada cantidad de energía extra que es disipada por el transistor de potencia de la fuente (Q7521) sólo por efecto de la mayor cantidad de conmutaciones que se registran. Esta energía disipada empeora el rendimiento de la fuente en condiciones de baja carga. Cuando el TV va a Stand By, se activa un ingenioso mecanismo de “Salto de Ciclos” o “Modo Ráfaga” el cual es controlado por el microprocesador por medio de la señal STD_CON que viene de su pin n° 1.

La señal STD_CON es una onda cuadrada de 100 hz. de frecuencia que se aplica al Emisor de Q7541, polarizando al mismo cada vez que toma nivel bajo. La corriente de Colector de Q7541 se refleja en el lado primario de la fuente como un aumento en la tensión del pin 3 del Optoacoplador 7515 (TCET1103G).

Este aumento es llevado al pin 6 (Ctrl) del Ic 7520 (TEA1506G) el cuál cuando alcanza un valor de 3.5 Volts interrumpe las conmutaciones hasta que la señal STD_CON tome estado ALTO nuevamente.

La frecuencia de ocurrencia de los “BURSTS” es coincidente con la frecuencia de STD_CON, es decir que se producirán 100 “BURSTS” por segundo.

Dado el bajo consumo de todos los circuitos del TV ya que el mismo se encuentra en Stand By, estas cortas “Ráfagas” de la Fuente alcanzan para mantener las tensiones vitales del TV en ese estado. Es decir los +3,3 volts para la alimentación del Microprocesador, la Eeprom y el Pull Up del Bus de I2C.

PROTECCIONES DE LA FUENTE DE ALIMENTACIÓN:

La fuente de alimentación, como bloque independiente, tiene de por sí protecciones que le son propias y que no dependen del control del microprocesador. Es decir que hacen a la seguridad de la fuente misma y a la integridad del dispositivo que alimenta, en este caso el TV.

Protección por Sobrecorriente (OCP Over Current Protection):

El circuito de limitación de pico de corriente trabaja ciclo por ciclo. Es decir que en cada conmutación de la fuente se está verificando el pico de corriente que circula por el primario del transformador 5520 el cuál es directamente proporcional al TON, y éste último es proporcional al consumo del aparato.

El pin de sensado es el pin 9 del Ic 7520 (TEA1506T). Para la limitación del pico de corriente por el primario; la misma se sensa verificando la caída de tensión en la resistencia 3526.

La tensión máxima admitida en el pin 9 del Ic 7520 es de 0.52 volts , por lo que la corriente máxima en el primario sería igual a:

$$I_{Max} = V_{sense\ Max} / R_{3526}$$

$$I_{Max} = 0.52\text{volts} / 0.15\ \text{ohms} = 3.4\ \text{Amp. (en 15" , 20" y 21")}$$

$$I_{Max} = 0.52\text{volts} / 0.18\ \text{ohms} = 2.88\ \text{Amp. (en 14")}$$

A partir de dicho valor la limitación de corriente se hace efectiva por reducción del TON.

Protección por Sobrepotencia (OPP Over Power Protection):

Más que una protección , esta característica de funcionamiento contribuye a determinar los parámetros iniciales de funcionamiento de la Fuente (frecuencia de switching y TON máximo) de modo de que la Fuente de Alimentación pueda usarse independientemente de la tensión de Red.

El modo de conocer el valor de la tensión de red es en forma indirecta , es decir sensando la corriente que fluye desde el pin 7 (Demag) del Ic 7520 (TEA1506T) durante un intervalo de tiempo en el que Q7520 conduce.

Protección por Cortocircuito de Bobinados (Short Winding Protection):

Si el valor de tensión V_{sense} en el pin 9 del Ic 7520 (TEA1506T) supera el Valor V_{swp} de 0.88 volts, la fuente de alimentación detendrá sus conmutaciones por haberse activado la Short Winding Protection. Esta protección esta pensada para casos extremos de cortocircuitos en los bobinados del transformador de la fuente o también para casos de cortocircuitos en los diodos rectificadores del secundario de la fuente.

Activada la protección, la fuente se detiene y por lo tanto la tensión V_{cc} en el pin n°2 del Ic 7520 (TEA1506T) cae por debajo de los 9 volts (UVLO). El Ic se apaga del todo y pasa al modo Reencendido de Seguridad.

El capacitor C2521 (C_{vcc}) será recargado otra vez por medio de las R's 3507 y 3506 , y alcanzado el valor de 11 volts (V_{cc} Start) la Fuente intentará arrancar de nuevo. Esta secuencia “arranque – protección” continúa hasta que el cortocircuito sea removido.

Protección por Sobretensión (OVP OverVoltage Protection):

(importante cuando no funciona el lazo de regulación)

Para proteger tanto sea a la propia Fuente de Alimentación , como así también al resto del aparato de un sobrevoltaje producto de una mala regulación , existe la llamada Over Voltaje Protection (OVP). Un modo de verificar la tensión del secundario de la Fuente es sensar la tensión del bobinado auxiliar 5-6 del transformador 5520. Dicha tensión es una réplica de lo que sucede con las tensiones de salida de la Fuente.

En el momento en que la energía del primario se transfiere al secundario , el pin 6 del transformador se vuelve positivo con respecto al 5, de modo que se genera un flujo de corriente que entra al pin n° 7 (Demag) del Ic 7520 (TEA1506T). Cuando esa corriente alcance los 60 μ Amp, un evento de OVP se registra.

Un contador interno del integrado comienza a contar los subsecuentes eventos de OVP. Si la corriente en el pin 7 genera un evento de OVP sólo unas pocas veces seguidas y no se repite, el contador interno contará en forma descendente al doble de velocidad con que lo hizo en forma ascendente hasta llegar a cero, y nada ocurre de ahí en más. Sin embargo si durante 10 ciclos consecutivos de la Fuente de Alimentación el contador cuenta 10 eventos de OVP, la señal de excitación del transistor FET 7521 es interrumpida.

Luego de esto , las tensiones de la Fuente empiezan a caer hasta que el voltaje del Pin n°2 del IC 7520 (TEA1506T) queda por debajo del valor UVLO (9 volts) . En este momento el Ic se apaga por completo y pasa al modo Reencendido de Seguridad.

Las conmutaciones de la fuente empiezan nuevamente sólo cuando el capacitor C2521 vuelva a ser cargado hasta el valor V_{start} (11 volts).

El contador ha sido agregado con la idea de prevenir incorrectas detecciones de sobrevoltaje que podrían ocurrir por algún tipo de descarga electrostática.

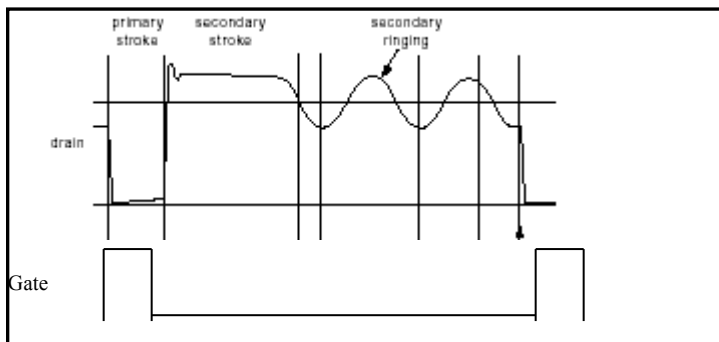
El proceso descrito anteriormente se repite en tanto la condición de OVP se siga detectando.

Desmagnetización o Protección de Modo Continuo:

La Fuente trabaja en el modo de conducción discontinua en todo momento, a los efectos de proteger al transistor de potencia 7521.

La idea es que el oscilador interno del Ic 7520 no comenzará un nuevo ciclo hasta que toda la energía almacenada en forma de campo magnético durante la conducción de Q7521 haya sido transferida al secundario.

La forma de onda en el pin Drenaje de Q7521 es como se ve a continuación:



Durante el TON de la señal Driver (pin n°11 del TEA1506T), la tensión de Drenaje es próxima a cero.

Cuando TON termina, Q7521 pasa al corte, y la reacción del bobinado 1-3 hace que la tensión de Drenaje alcance valores elevados, muy por encima de al tensión de red rectificadas (ej. 600 volts). En este momento comienza la transferencia de energía al secundario, ya que los diodos rectificadores 6570, 6561, 6562, 6563 y 6560 se encuentran en condiciones de conducir. La tensión de Drenaje se mantiene alta mientras hay energía transfiriéndose al secundario. En la medida que se completa la transferencia de energía, la tensión de Drenaje de Q7521 empieza a querer bajar, pero se registran algunas oscilaciones entre el bobinado 1-3 y el capacitor C2523 (en paralelo con Q7521) . Estas oscilaciones implican una componente alterna circulando por el primario, lo que contribuye a la desmagnetización del núcleo del transformador 5520.

Si durante todo este proceso un pulso de excitación se aplicase al Gate de Q7521 , este se dañaría dado que tiene un elevado valor de tensión aplicado entre D y S. Por este motivo el oscilador de la fuente alargará el TOFF en tanto la tensión del pin 7 (Demag) esté alta.

Terminadas las oscilaciones de desmagnetización, la tensión de Drenaje de Q7521 se estabiliza en el valor de la tensión de red rectificadas, esto es detectado por el pin n°7 (Demag) del Ic 7520 (TEA1506T), el cuál ahora procede a generar un nuevo TON pasando nuevamente a estado alto el nivel de su pin n°11 (Drain).

Importante: Si el pin n°7 (Demag) es desconectado, una condición de falla será detectada por el integrado, deteniendo las conmutaciones inmediatamente.

Protección por TON Máximo:

El TON Máximo de la Señal Driver del pin nº11 del Ic 7521 (TEA1506T) está limitado a 50 uSeg. Toda vez que la fuente requiera un valor de TON >50 useg se asumirá un condición de falla o defecto y la Fuente entrará en el modo Reencendido de Seguridad.

Ejemplos de situaciones donde el TON Máximo pueda alcanzarse son las siguientes:

- 1) Tensión de Red por debajo de 90 VAC.
- 2) Mal filtrado de la tensión de Red rectificada (C2504 o C2503 abierto o defectuoso).
- 3) Puente rectificador con algún diodo abierto.

TIPS DE REPARACIÓN DE LA FUENTE DE ALIMENTACIÓN:

Nº	Síntoma	Chequear
1)	La tensión Main Supply no está presente. Vaudio y Vcc (C2521) fluctuantes.	7520, 3506, 3523, 7521; 6562, 6561, 6563 por si están en cortocircuito.
2)	Bajo voltaje en Main Supply y Vaudio, pero los 3.3 volts están OK	Chequear la señal STD_Con (TV en ON=> nivel alto, TV en Stand By=> onda cuadrada de Duty Cycle 50% y 100 Hz. Chequear Q7541
3)	El TV se apaga automáticamente después de ser activado.	Deshabilitar o quitar la NVM 7641 M24C04
4)	Ausencia de los +3.3Volts	Cortocircuito sobre los 3.3 volts, verificar 7493 (L78L33), diodos 6561/6562

tensión -12Volts es permitir que pulsos de gran amplitud puedan ser generados a la salida del transformador 5421 (Driver Transformer) de modo que la parte negativa de dichos pulsos contribuya a cortar rápidamente a Q7421.

VTSupply (+33Volts): Esta tensión es en realidad derivada de los $+160\text{VD}$ generados por el Fly Back por medio del pin n° 9. Por medio de la R3459 (150k) y el Dodo Zener D6001 (BZX69-C33) la tensión es llevada a un valor muy estable de 33 volts para dar la tensión de referencia a los Diodos Varicap internos del Sintonizador.

Filament: Esta tensión de 6,3 volts generada a partir del pin 5 del Fly Back se utiliza para diversos propósitos:

- Dar alimentación positiva al diferencial de entrada de la Etapa de Salida Vertical.
- Relevar a la tensión Vaudio / Vaux en la alimentación del Driver Horizontal.
- Servir como tensión de alimentación para obtener los $+5\text{ Volts}$, (ver diagrama A4 Sector A9) , los cuales se usan en la alimentación del Sintonizador por su pin n° 7, del Decoder de Sonido Estereofónico por su pin n° 7 y a su vez son el Pull up de algunos pórnicos de salida del UOC. (pines 64, 63 y 5)
- Tal como su nombre lo indica , van al Panel TRC y son la tensión de alimentación del Filamento del Tubo.

160VD: Esta tensión de $+160\text{ volts}$ es utilizada en el Panel TRC para la alimentación de los Amplificadores de Video.

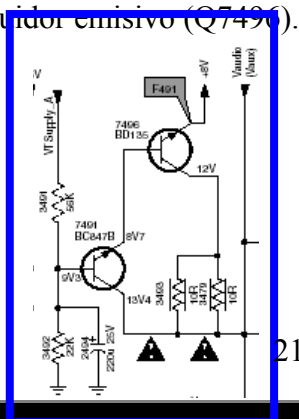
EHT: la tensión EHT sirve como Feed Back para la Fuente de Alimentación con el objeto de corregir la “Respiración de la Imagen” ante cambios bruscos del consumo de la etapa de Alta Tensión.

Tensión de Anodo EHT: La genera el Fly Back a partir de su bobinado de Alta Tensión y con la ayuda del Triplicador de alta tensión incorporado.

Foco y VG2: Ambas usadas en la polarización del CRT. Se obtienen con dos potenciómetros integrados al Fly Back conectados internamente luego del primer rectificador del Triplicador.

+8 Volts: Esta tensión es muy importante en la alimentación del UOC, en lo referente al procesamiento de Sincronismos y Video. Se genera a partir de la tensión VT Supply, la cual en el diagrama A3 se convierte en VT Supply_A. Esta tensión VT Supply_A ya en el diagrama A4 es bajada a 9,3 volts por medio del Divisor Resistivo formado por R3492 y R3491. Luego de restarle las dos tensiones VBE de los transistores Q7491 (BC847 B) y Q7496 (BD135) pasa a ser $+8\text{ Volts}$ con buena capacidad de suministro de corriente ya que es tomada desde un seguidor emisorio (Q7496).

A8)



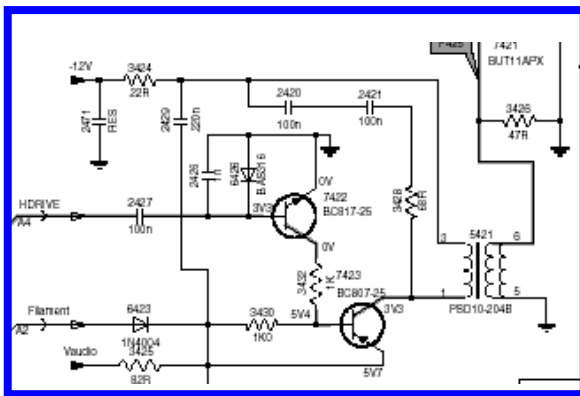
(hoja A4 del Service Manual , Sector

El Driver Horizontal:

Los pulsos de excitación para la Etapa de Salida Horizontal son generados por el UOC, por medio de su pin n° 33 y constituyen la señal HDrive.

Cuando dentro del UOC es recibido el comando de Start Up por medio del I2C interno, el UOC comienza a entregar por medio de su pin n° 33 una señal de onda rectangular y de amplitud inferior a los 3.3 volts. (hasta el momento sólo los 3.3 volts están aplicados al UOC).

Como estos pulsos no tienen la amplitud suficiente ni la forma de onda correcta para excitar al Transistor de Salida Horizontal, se hace necesaria la introducción de un circuito Driver el que básicamente está conformado por Q7422, Q7423 y T5421.



(diagrama A2 del Service Manual sector

El Driver Horizontal en un primer momento es alimentado únicamente por la tensión positiva proveniente de la Fuente de Alimentación llamada Vaudio.

El primario del Transformador Driver 5421 tiene inicialmente su pin n° 3 a cero potencial. (C2446 está inicialmente descargado y por lo tanto es temporariamente un cortocircuito).

Durante el período en que la señal Hdrive tiene estado alto, los transistores Q7422 y Q7423 conducen, y se registra circulación de corriente por el primario del Transformador Driver T5421, la cuál inicialmente se cierra a masa por medio de D6446 que va al bobinado del Pin n° 8 del Fly Back y además por medio de C2446; que por estar descargado admite circulación temporaria de corriente continua.

Dados los sentidos de los arroyamientos del Transformador Driver 5421, la tensión que se obtiene en su secundario en este momento es tal que Q7421 está bloqueado.

Cuando la señal Drive toma estado bajo, los transistores Q7422 y Q7423 pasan al corte y se transfiere la energía del primario del Driver al secundario de modo tal que la tensión generada entre los pines 5 y 6 del secundario del trafo Driver 5421 es tal que hace conducir a Q7421.

Cuando la señal H-Drive vuelve a tomar estado alto se vuelve producir el corte de Q7421 y ahí aparecen todas las tensiones en los bobinados del secundario del Fly Back, entre ellas las tensiones -12Volts y Filament.

La tensión Filament pasa a alimentar ahora al Driver Horizontal, mientras que los 12Volts quedarán aplicados al pin n°3 del Transformador Driver. El objeto de estos 12Volts en el primario del Driver es que permite obtener a la salida del trafo una señal de mayor amplitud pico a pico de modo de poder saturar o cortar a Q7421 rápidamente evitando disipación innecesaria de energía en el Transistor durante la conmutación, si es que ésta es lenta.

La Deflexión Horizontal propiamente dicha:

La etapa de Deflexión Horizontal responde a un esquema muy convencional formado por el Transistor de Potencia (Q7421), Diodo Amortiguador (D6422-21), Capacitor de Retrazado (C2423-24), Capacitor de Acoplamiento (C2406-08) y por supuesto, la Bobina de Deflexión.

Dados los tamaños de pantalla y los tipos de TRC usados en todo el rango cubierto por el Chasis L03 (14" a 21") no se hace necesario el uso de una etapa de Modulación Este-Oeste para la corrección de Geometría.

Para lograr la deflexión del Haz , una corriente con forma de rampa debe circular por la Bobina de Deflexión L_h durante el Trazado.

$$I_{L_h} = 1/L_h * \int V_{L_h} * dt$$

Si V_{L_h} es una constante, $I_{L_h} = 1/L_h * CTE * \int dt$

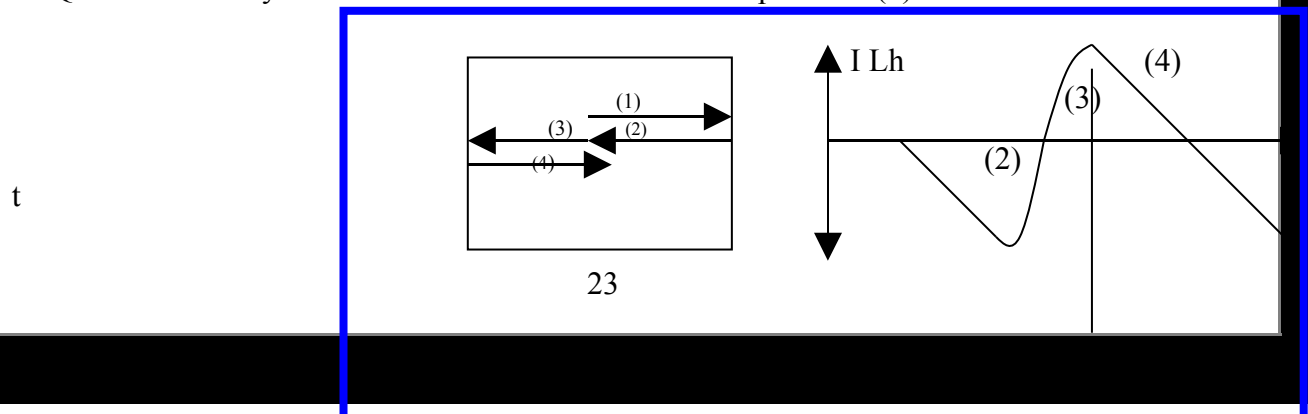
$$I_{L_h} = 1/L_h * CTE * t$$

que es la ecuación de una rampa. => **la forma de obtener una corriente con forma de rampa por la Bobina L_h es aplicando a la misma una tensión constante.**

Durante el Retrazado la forma de la corriente no tiene un requerimiento particular, pero su ritmo de crecimiento debe ser rápido de modo que el Haz alcance a tiempo el extremo izquierdo de la pantalla.

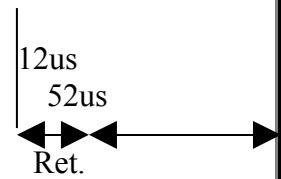
Período de conducción del Transistor:

Se supone el capacitor C2406-08 cargado y el haz ubicado en el punto central de la pantalla. En ese momento la señal H Drive del pin n°33 del UOC toma estado bajo por aproximadamente 26µSeg. Un pulso positivo aparece en la base de Q7421 que lo lleva a la saturación. El conjunto de C2406-08 se elige de modo que su carga permanece aproximadamente constante . Si se cumple esta condición, la Bobina L_h tiene aplicada una tensión fija en un terminal, y el otro está a masa por medio de Q7421 => una corriente con forma de rampa circula desde el terminal 4 al 1 de la bobina L_h cerrando a masa por medio de Q7421. Constituye el barrido de la mitad derecha de la pantalla. (1).



(5)

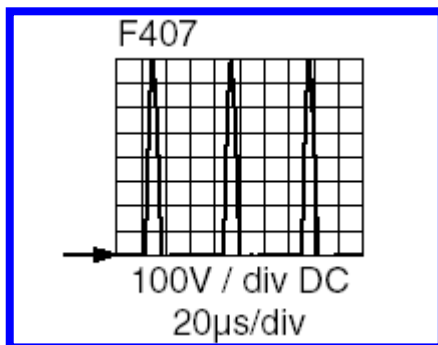
(1)



Barrido

Período de conducción del Capacitor de Retrazado:

a) La señal del pin n° 33 del UOC toma estado alto, por lo cuál el transistor Q7421 es llevado al corte. Una elevada corriente venía circulando por la Bobina L_h , la cuál ahora no tiene un camino fácil por donde cerrarse. Para mantener esa circulación de corriente, la Bobina L_h genera un pico de Tensión (varias veces superior a la tensión de Fuente) y comienza a cargar el Capacitor de Retrazado C2423-24, ya que es el único camino accesible. El pico de tensión que se genera en el Colector del Transistor Q7421 es del orden de los 800 a 900 volts y puede verse en la siguiente figura:



Dado que se está produciendo un intercambio de energía entre una L y un C, la corriente tiene forma sinusoidal. Este período corresponde a la primer mitad del Retrazado, donde el haz se desplaza velozmente desde el borde derecho de la pantalla hasta el centro de la misma. (2)

Este período dura 6 uSeg.

b) El Capacitor C2423-24 ha quedado cargado a una tensión equivalente al pico generado por L_h y a la Bobina L_h se le ha terminado su energía, de modo que la corriente por L_h ha llegado a cero.

C2423-24 está en condiciones de cederle su energía a L_h nuevamente de modo que se invierte el sentido de la corriente por la Bobina de Deflexión Horizontal, la cuál comienza a aumentar de forma brusca y a régimen sinusoidal hasta que la energía almacenada en forma de campo eléctrico en C2423-24 llegue a cero. El Haz alcanza el extremo Izquierdo de la pantalla rápidamente constituyendo así la segunda mitad del Retrazado (3).

Este período dura 6uSeg.

Período de conducción del Diodo 6422-21:

Si bien la tensión en C2423-24 ha llegado cero, la Bobina L_h ha almacenado energía nuevamente (la energía que le cedió C2423-24) y por lo tanto generará una fuerza

electromotriz en orden de oponerse a la disminución de corriente a través de ella. Esto es, comenzará a cargarse C2423-24 pero en sentido contrario, como si la oscilación L_h -C2423/24 fuese a continuar indefinidamente. Llega un momento en que la tensión sobre C2423-24 es tal que llega a polarizarse D6422-21 de modo que éste toma la conducción de la corriente ya que es un camino de menor oposición para la circulación. Si miramos el circuito de Deflexión en este momento, el mismo está conformado por la Bobina L_h energizada, el C de acoplamiento (C2406-08) con carga en oposición a la Bobina y el Diodo D6422-21 en conducción, lo que equivaldría a un cortocircuito \Rightarrow una tensión constante pero ahora opuesta a la del período (1) está aplicada sobre L_h . Por la misma circulará entonces una corriente con forma de rampa en el sentido del terminal 1 al 4 de los pines de conexión de L_h .

Esta etapa constituye el barrido de la primera mitad de la pantalla en la cuál el haz se desplaza con velocidad uniforme desde el extremo Izquierdo de la pantalla hasta el centro de la misma (4).

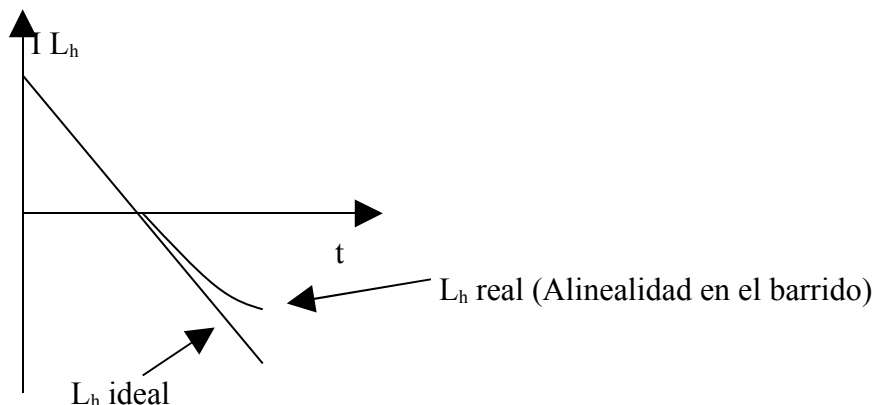
Este período dura 26 uSegs.

Cuando a la Bobina L_h se le termina su energía, la Corriente de Deflexión alcanza el valor cero, y ese instante es coincidente con un nuevo estado bajo de la señal H Drive del pin n°33 del UOC, por lo que Q7421 vuelve a conducir y un período idéntico a (1) se repite . (5)

Los períodos (4) y (5) constituyen la parte en que el Haz está activo, es decir el Trazado. Los períodos (2) y (3) constituyen el Retrazado, en el cuál el Haz permanece borrado.

La Bobina de Linealidad:

Cuando el yugo empleado es de baja impedancia, la parte resistiva de los devanados tiene influencia sobre la formación del diente de sierra de corriente. La corriente que circula por L_h cuando se le aplica una tensión constante deja de ser una rampa para pasar a ser una corriente cuya velocidad de crecimiento disminuye en la medida que transcurre el tiempo. Es la reacción típica de un circuito R-L



Este efecto, de no ser compensado, se traduce como una alinealidad en el sector derecho de la imagen.

Para contrarrestar este efecto se conecta en serie con el Yugo Horizontal la bobina L5402 la cuál tiene características constructivas especiales.

Tiene un núcleo de ferrite premagnetizado con un campo magnético externo, el cual es producido por un imán permanente incluido en el componente.

Cuando la Corriente de Deflexión circula del terminal 1 al 4 de los pines de conexión de L_h , el campo que genera $I L_h$ en el núcleo de L5402 se opone al que genera en dicha bobina el imán permanente, por lo cual el núcleo de L5402 es alejado de la saturación magnética \Rightarrow

El vínculo entre la Etapa de Entrada y la Etapa de Salida del Amplificador es Q7463, el cuál está en una configuración Emisor Común clásica por lo cuál en su colector es medible también el Diente de Sierra que luego aparecerá en la salida.

Períodos del Barrido:

Período Activo: Se considera como Período Activo al tiempo en que el Haz se desplaza desde el extremo superior al inferior de la pantalla. Este período a su vez se divide en dos: Barrido de la Mitad Inferior y Barrido de la Mitad Superior.

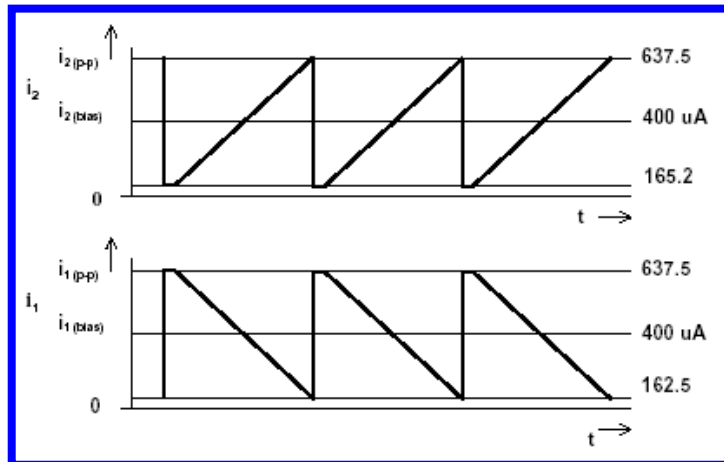
Barrido de la Mitad Inferior de la pantalla: En el instante inicial (al comienzo del primer ciclo del barrido vertical) el Capacitor C2463 se encuentra descargado, por lo tanto Q7464 no tiene polarizada su Base. En ese mismo instante, Q7465 se encuentra en condiciones de conducir, por lo tanto su Base es llevada a potencial más negativo y la primera etapa del barrido se lleva adelante circulando corriente desde el terminal 2 al 1 de los pines de conexión de la Bobina de Deflexión Vertical (1).

En la medida que transcurre el tiempo, el potencial del punto de unión de los Emisores de los transistores de salida se va haciendo cada vez mas negativo y puede ir cargándose C2463 por medio de D6460. Cuando el Haz llega al extremo inferior de la pantalla, desde la entrada se fuerza el retroceso del mismo. El punto de unión de los Emisores de los Transistores de Salida es forzado a tomar valores positivos.

Barrido de la Mitad Superior de la pantalla: Una vez que el Haz alcanzó el extremo superior de la pantalla, se inicia el barrido de la Mitad Superior, el cuál puede ser llevado adelante ya que C2463 polariza positivamente la Base de Q7464. Durante el Barrido de la Mitad Superior de la pantalla la conducción de la Corriente de Deflexión la realiza Q7464. Q7465 ha pasado al corte. (2)

La Etapa de Entrada del Amplificador está compuesta por un Diferencial formado por Q7461 y Q7462. Dicho Amplificador Diferencial está alimentado por la tensión V_{filament} (+6.3 volts) y los -12 volts.

La excitación de la etapa de entrada es hecha entonces en forma diferencial desde los pines 22 ($V_{\text{drive-}}$) y 21 ($V_{\text{drive+}}$) del UOC. Dichos pines son las salidas balanceadas de dos generadores de corriente que entregan las siguientes formas de onda:



El objeto de excitar a la etapa vertical de este modo es para asegurar un buen comportamiento en modo común relacionado a variaciones de temperatura, como así también hacer a la señal de salida de la etapa menos sensible a las interferencias y señales espúreas generadas en el propio TV.

PROCESAMIENTO DE SINCRONISMOS

SINCRONISMO HORIZONTAL:

(acompañar con el diagrama interno del UOC de la pag. 5 de la hoja de datos)

El procesamiento de sincronismos es hecho totalmente dentro del UOC mismo, donde se encuentran dos circuitos separadores de sincronismos Horizontal y Vertical respectivamente.

El procesamiento de sincronismo horizontal se basa en dos Lazos enganchados en fase consecutivos, éstos son PHI1 y PHI2.

La función de PHI1 es sincronizar el VCO interno con la señal CVBS que ingresa. En el pin n° 17 (PHI1LF) se conecta un filtro pasabajos formado por C2485, C2486 y R3481. La constante de tiempo de este filtro pasabajos se elige de modo tal que el lazo sea lo suficientemente lento como para no desengancharse en condiciones de señal débil, pero lo suficientemente rápido para sincronizar lo antes posible el oscilador interno cuando se realiza un cambio de canal o de fuente de señal.

El oscilador interno es en realidad un VCO que funciona a 1600 Fh y cuya referencia inicial o en ausencia de señal es la FREF dada por el cristal 1621 (12Mhz) que hace las veces de Clock para la etapa de Control.

La función de PHI2 es permitir el correcto centrado horizontal de la imagen en la pantalla. La compensación para el centrado de la imagen en distintos tipos de TRC's se hace de acuerdo al valor de R3646, la cual se conecta entre el pin n°16 y +8volts.

Otra función importante del PHI2 es la de permitir realizar compensaciones dinámicas del centrado horizontal de la imagen ante variaciones de corriente de Haz. Por tal motivo, una corriente relacionada al valor de la EHT es realimentada al pin n° 16 por medio de R3843.

El pin n° 34 es un pin con doble función. Por un lado es la salida del pulso de Sandcastle y por otro es la entrada de la señal Hflyback. Es decir que para este último caso, el pulso de retrasado extraído de la Etapa de Salida Horizontal es recortado y llevado hasta este pin como señal de entrada para el Lazo de Fase2 (PHI2) y como señal de Borrado Horizontal para la etapa de RGB.

El pulso de Hflyback es conformado con una amplitud máxima de 8 volts por medio de D6481 antes de ser realimentado al pin n°34 del UOC.

Finalmente, el pin n° 33 del UOC es una salida de tipo Colector abierto para excitar al Driver horizontal. **En Stand By el Pin n° 33 permanece en nivel alto.** Esta salida es activa con nivel bajo, lo que implica que el Transistor de Salida Horizontal debe conducir durante el tiempo en que la señal HDrive tiene nivel bajo, tal como se explica en la descripción del Driver Horizontal.

Para activar los pulsos HDrive en el pin n° 33 del UOC, sólo es necesario que la alimentación +3.3 volts esté presente en los pines 54, 56 y 61 del UOC.

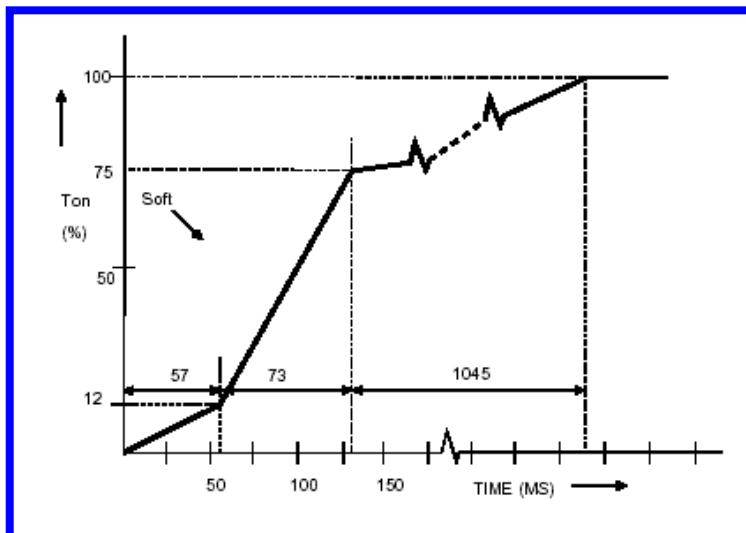
La señal HDrive, que se puede medir en el pin n° 33 del UOC, pasa por diferentes estados hasta establecerse o desactivarse. Dichos estados son:

Soft Start:- Después del encendido del TV desde el Manis Switch.

-Cuando se produce el encendido del TV por medio del Comando Stand By.

El modo Soft Start (arranque suave) tiene por objeto hacer que el Transistor de Salida Horizontal Q7421 entre en régimen gradualmente, lo que contribuye a preservar su vida útil. Lo mismo es válido para los diodos rectificadores ubicados en el secundario del Fly Back.

El establecimiento de la señal HDrive es de acuerdo al siguiente gráfico:



El período de conducción del Q7421 se incrementa del 0% al 12 % del valor nominal en 57 ms., lo que implica que inicialmente la señal HDrive tiene el doble de la frecuencia horizontal.

En los siguientes 73 ms pasa del 12% al 75% del valor nominal.

En los últimos 1045 ms el tiempo de conducción de Q7421 alcanza el valor nominal y la señal HDrive tiene el valor de la frecuencia horizontal.

Para completar el Soft Start se emplean en total 1175 ms.

El tiempo en que Q7421 está cortado es siempre fijo e igual a 26 useg.

Running: Es la condición normal de funcionamiento , es decir que la señal HDrive está en estado bajo durante el 55% de su período y está en estado alto el 45% restante.

Soft Stop:-Toda vez que el TV sea puesto en Stand By.

-Después de activada la Protección de RayosX (pin 36 del UOC).

-Cuando los +8 volts en los pines 14 y 39 del UOC caigan por debajo de 6.2 volts.

Durante el Soft Stop, la secuencia de variación del período de conducción de Q7421 es a la inversa que durante el Soft Start explicado anteriormente. En este caso la señal HDrive pasa de 15,625 KHz a 35 KHz.

Disabled:-Cuando la tensión de alimentación +3.3 volts en los pines 54, 56 y 61 del UOC caiga por debajo de 2.65 volts.

SINCRONISMO VERTICAL:

(acompañar con el diagrama interno del UOC de la pag. 5 de la hoja de datos)

La puesta en sincronismo del Barrido Vertical sea hace en forma indirecta , es decir por medio de un Down Conter o Vertical Divider. Dada la relación entre frecuencias Vertical y Horizontal, se puede aprovechar esta última como referencia para generar un gatillado muy estable para el diente de sierra que se convertirá en Barrido Vertical.

Los pulsos horizontales constituyen el clock del Vertical Divider, el cuál cada vez que llega a cero entrega un pulso en su salida.

Los pulsos de Sincronismo Vertical que se extraen de la CVBS inicialmente , sólo se usan para la inicialización del Down Conter, durante un cambio de canal o un cambio de fuente de señal. Luego no son necesarios, ya que el Vertical queda enganchado con la referencia que toma del Horizontal.

El valor por el cuál divide el Vertical Divider está fijado en dos registros internos del UOC (FORF y FORS) y está de acuerdo a la siguiente tabla.

FORF	FORS	Vertical frequency
0	0	Auto, 60 Hz if not locked
0	1	60 Hz forced ¹⁾
1	0	Auto, keep last detected frequency ²⁾
1	1	Auto, 50 Hz if not locked

El generador de Diente de Sierra para el Barrido Vertical no es otra cosa que un generador de corriente constante que carga un capacitor. La justificación matemática de lo anterior es la siguiente:

$$V_{cap} = 1/C * \int I dt$$

$$\text{Si } I \text{ es una Cte} \Rightarrow V_{cap} = 1/C * Cte * \int dt \Rightarrow$$

$$\Rightarrow V_{cap} = 1/C * Cte * t$$

que es la ecuación de una rampa.

El pin n° 26 del UOC está conectado a una fuente de corriente constante interna. En este punto se conecta el capacitor C2488 (100 nF +/- 5%) . Este capacitor debe ser muy estable frente a las variaciones de temperatura y al envejecimiento, ya que cualquier variación en la capacidad se notará como una variación en la amplitud vertical.

Por medio de la resistencia 3480 (39K +/- 2%) conectada al pin n° 25 del UOC se fija el valor de la corriente de carga del capacitor C2488. Para esta resistencia se requieren también buena estabilidad frente a variaciones de temperatura y al envejecimiento. Cuando R3480 es de 39K y la frecuencia vertical de 50 Hz, el generador de corriente carga el capacitor C2488 con una corriente de 16uA y lo descarga con 1mA. Cuando la frecuencia vertical es de 60 Hz, dichos valores son incrementados un 19%.

A partir de la Rampa Patrón que se genera en el pin n° 26 del UOC se controlan dos generadores de corriente con forma de diente de sierra, cuyas salidas son los pines n° 21 y 22 del UOC (Vdrive- y Vdrive+).

El pin n° 36 del UOC es la entrada para el ajuste de Geometría Dinámica, es decir, compensación de geometría ante variaciones de Corriente de Haz.

Como en los aparatos que utilizan el Chasis L03 no es necesario el uso del Modulador E-W, sólo el tracking vertical tiene lugar por medio del Pin 36.

Para tal ajuste dinámico, una referencia del valor de la corriente de Haz es traída al pin n° 36 por medio de la señal EHTO.

Para elevada Corriente de Haz , la tensión EHTO disminuye, y ante esta variación debe reducirse la altura de la imagen.

Para baja Corriente de Haz, la tensión EHTO aumenta, y ante esta variación debe aumentarse la altura de la imagen.

LA ETAPA DE SINTONÍA

(Acompañar con el diagrama A3 del Manual de Service)

EL SINTONIZADOR:

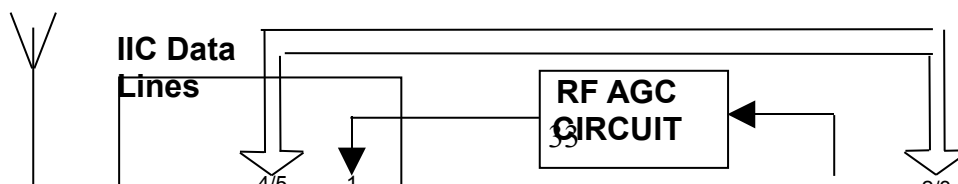
El Tuner usado en el Proyecto L03 proviene de dos proveedores distintos.

El sintonizador normalmente usado será el TEDH9-305A cuyo fabricante es ALPS.

Un sintonizador alternativo que podría llegar a usarse en el proyecto en caso de ser necesario (ej. si el primer proveedor agotase su stock momentáneamente) es el UV1336MK3E fabricado por Philips. Dependiendo de que sintonizador se use, un cambio debe ser hecho en OB1 dentro del Menú de Service, como se verá más adelante.

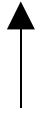
Diagrama en Bloques:

Un esquema general del Sintonizador y su interconexión con el UOC puede verse a continuación:



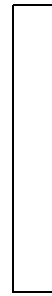
7/6

9



VT supply

27

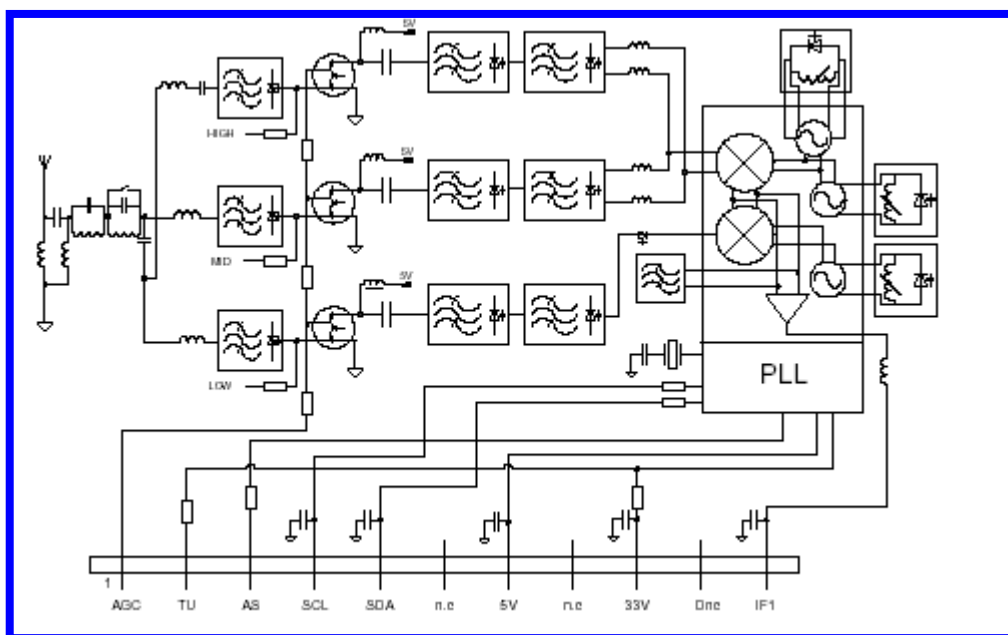


**UOC
TDA93XX**

Descripción de los pines del Sintonizador:

Pin Number	Pin Description	DC Voltages
1	RF-AGC	4V for Maximum Gain < 4V for Strong Signal Condition
2	N.C	-
3	NC (Address Pin)	-
4	SCL	0 to 3.9V DC
5	SDA	0 to 3.9V DC
6/7	Supply Voltage	5V DC +/- 0.25V
8	N.C	-
9	Tuning Supply Voltage	30V to 35V DC
10	N.C	-
11	TV IF Output	-

El Sintonizador por dentro: (Basado en el UV1336 de Philips)



Cualquiera de los Sintonizadores mencionados anteriormente funcionan en base a un PLL controlado digitalmente por el UOC a través del Buss de I2C.

Dichos Sintos son aptos para trabajar en la banda Antena, como así también en la banda Cable, totalizando una cantidad de 181 canales posibles de seleccionar.

Para cubrir todo este amplio espectro de frecuencias, el Sintonizador cuenta con tres bandas para cada modo (ya sea Antena o Cable). Las mismas se ven a continuación:

CHANNEL COVERAGE				
BAND	OFF-AIR CHANNELS		CABLE CHANNELS	
	CHANNELS	FREQUENCY RANGE (MHz)	CHANNELS	FREQUENCY RANGE (MHz)
Low band	2 to 6	55.25 to 83.25	2 to G	55.25 to 157.25
Mid band	7 to 13	175.25 to 210.25	H to CCC	163.25 to 451.25
High band	14 to 69	471.25 to 801.25	DDD to 125	457.25 to 801.25

La frecuencia del Oscilador Local está siempre por encima de la frecuencia de la portadora del canal sintonizado, por lo que el principio de funcionamiento es el mismo que el del Receptor Superheterodino.

Luego del batido entre la señal de RF del canal sintonizado con el oscilador local, la señal obtenida a la salida del Sinto (pin n°11 Tuner IF) queda ubicada en el siguiente rango de frecuencias:

INTERMEDIATE FREQUENCIES	
SIGNAL	FREQUENCY ⁽¹⁾ (MHz)
Picture carrier	45.75
Colour	42.17
Sound	41.25

En el esquema interno del Sinto se pueden ver los tres Amplificadores de RF (uno para cada banda) conformados c/u por un FET de doble Gate y un circuito sintonizado en el Drenaje. Los filtros pasabanda de entrada sirven para eliminar la “frecuencia imagen” de la portadora del canal sintonizado, de ahí que sean filtros móviles.

Para cada Banda puede verse también que le corresponde un Oscilador Local, el que no es otra cosa que un VCO a Diodo Varicap controlado por el PLL.

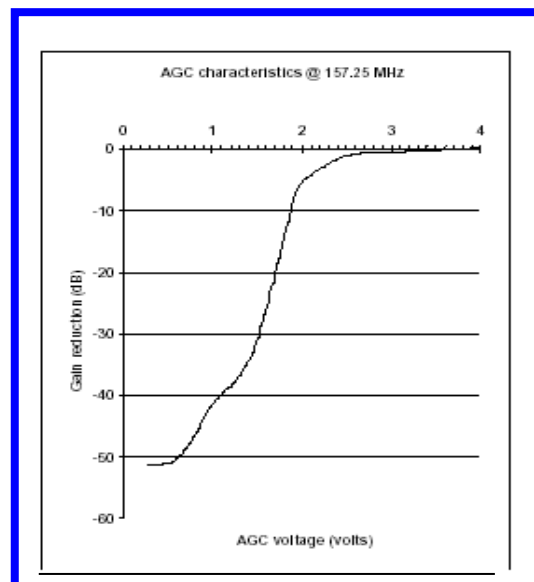
Luego del batido entre la señal de RF y la señal del Oscilador Local, un filtro pasabanda selecciona sólo lo que hay en torno a los 45.75Mhz, y esto aparece a la salida del Sinto en el pin n° 11 como señal de IF.

La Ganancia máxima de tensión del Sintonizador es del orden de los 52dB, lo que llevado a veces da aproximadamente 400 veces.

La ganancia del Sintonizador es controlada por medio de la tensión que el UOC fija al pin n° 1 del Sinto desde su pin n° 27 (Tuner AGC).

La tensión de control de AGC va desde los 4 volts para máxima ganancia hasta 0.5 volts para ganancia mínima.

A continuación se da como ejemplo la Curva de AGC tomada para el Canal 6 de Cable:



Control del Sintonizador:

El control del Sintonizador es totalmente hecho en forma digital por medio del Bus de I2C tal como se vió anteriormente. Para tal fin una serie de comandos son enviados por el UOC valiéndose del Protocolo de I2C.

Tales comandos pueden resumirse en la siguiente tabla:

NAME	BYTE	BITS								ACK
		7							0	
		MSB							LSB	
Address Byte	ADB	1	1	0	0	0	MA1	MA0	R/W	A
Prog. Div. Byte 1	DB1	0	N14	N13	N12	N11	N10	N9	N8	A
Prog. Div. Byte 2	DB2	N7	N6	N5	N4	N3	N2	N1	N0	A
Control Byte	CB	1	CP	T2	T1	T0	RSA	RSB	OS	A
Band-switch byte	BB	0	P6	0	P4	P3	P2	P1	P0	A

Por medio del Address Byte (ADB), el UOC selecciona el dispositivo.

Por medio de los Prog. Div. Byte 1 y 2 (DB1 y DB2) el UOC envía el valor al que debe setearse el Divisor interno del PLL para que se pueda sintonizar el canal elegido por el usuario.

Por medio del Control Byte (CB) el UOC le indica al Sinto si es necesario hacer una conmutación de Banda.

Por medio del Band-Switch Byte (BB) el UOC indica a qué banda hay que conmutar.

Una prestación interesante de este tipo de sintonizadores es que hasta cuatro sintonizadores idénticos podrían convivir en un mismo circuito y ser controlados en forma independiente por el UOC. Lo dicho anteriormente puede ser realizado por una combinación entre el Contenido del Address Byte y la tensión aplicada al pin nº3 (AS = Address Selection) del Sinto.

Dicha diferenciación responde a la siguiente tabla:

MA1	MA0	ADDRESS	VOLTAGE APPLIED ON AS INPUT
0	0	C0	0V to 0.1xV _{CC}
0	1	C2	Open or 0.2xV _{CC} to 0.3xV _{CC}
1	0	C4	0.4xV _{CC} to 0.6xV _{CC}
1	1	C6	0.9xV _{CC} to 1.0xV _{CC}

La selección de banda hecha por medio del Band-Switch Byte es hecha de acuerdo a la siguiente tabla:

Band switching	0	P6	0	P4	P3	P2	P1	P0
Low Band	0	0	0	0	0	0	0	1
Mid Band	0	0	0	0	0	0	1	0
High Band	0	0	0	0	0	1	0	0
FM trap 'ON'	0	1	0	0	0	0	0	0

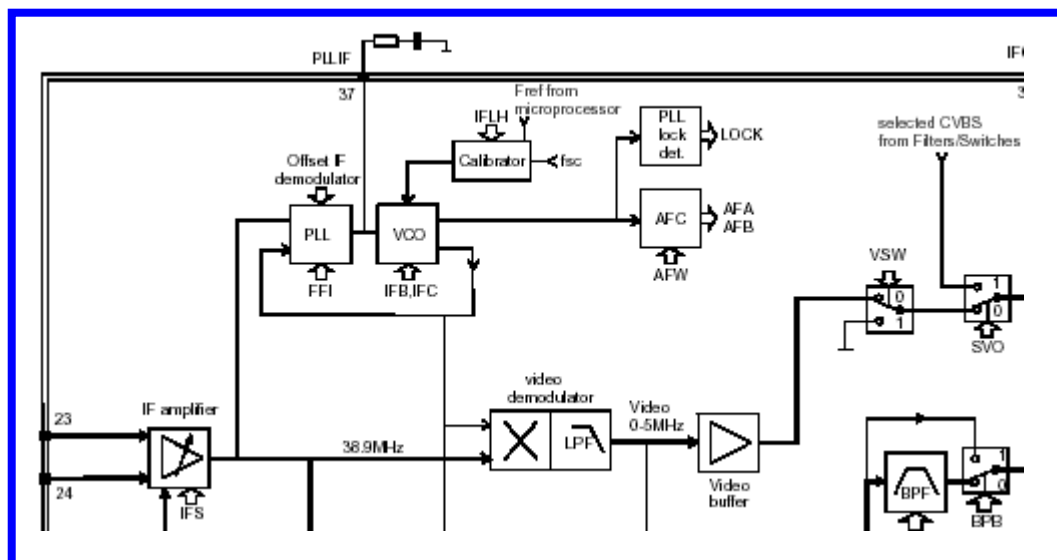
Tips de Reparación de la Etapa de Sintonía:

Toda vez que no logre obtenerse imagen cuando esté seleccionado el modo RF encarar la reparación en el siguiente orden:

- 1) Chequear que los Option Bytes estén correctos.
- 2) Si los Option Bytes están OK controlar que las tensiones de alimentación del Sintonizador estén presentes.
- 3) Si dichos voltajes están OK, verificar entonces si hay imagen en el modo AV.
- 4) Si hay imagen en el modo AV, teclear en el control remoto un canal del cuál se sepa que está transmitiendo y verificar con el osciloscopio si la señal IF (pin n°11 del Tuner) está presente. Tener en cuenta que esta señal está en torno a los 45,75Mhz, por lo cuál un Osciloscopio de al menos 50Mhz será necesario para observarla correctamente.
- 5) Si la señal IF está presente, entonces el problema no está en el Sintonizador. Si no estuviese presente la señal IF, las líneas de I2C podrían estar abiertas; chequear entonces la continuidad de las líneas de I2C. En caso de encontrarlas OK, el Sintonizador podría estar defectuoso, por lo que se recomienda reemplazarlo.
- 6) Si la señal IF está presente y sigue sin obtenerse imagen en la pantalla en el modo RF, entonces pasar a revisar la etapa de Procesamiento de Video.

EL CANAL DE FI

(acompañar con la hoja 2 del diagrama interno del UOC)



La entrada al Amplificador de Frecuencia Intermedia se hace por medio de los pines 23 y 24 del UOC (IFIN1 y IFIN2).

La entrada de IF es de tipo balanceada y presenta una impedancia de entrada de 2Kohm en paralelo con una capacidad parásita de 3 pF. Estas características son óptimas para que esta etapa sea la carga del SAW Filter utilizado (pos. 1001).

La señal de FI centrada en 45,75 Mhz proveniente del SAW Filter es amplificada y luego el Video necesita ser demodulado.

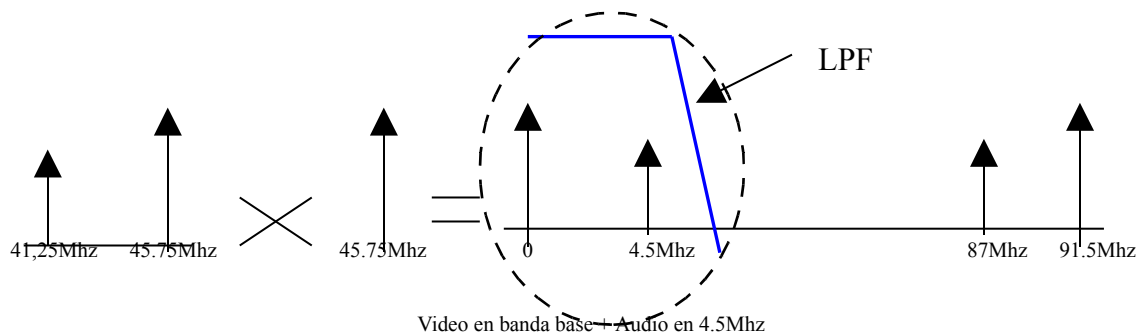
La demodulación se hace en forma sincrónica por medio de un PLL que regenera los 45,75Mhz .

Por medio de los registros internos del UOC llamados IFB e IFC el VCO es puesto en el valor correcto (45,75 Mhz en nuestro caso) ya que hay distintos valores de IF según cada país o área.

IFB	IFC	IF frequency
0	0	58.75 MHz
0	1	45.75 MHz
1	0	38.90 MHz
1	1	38.00 MHz

La demodulación sincrónica implica reinserción de la portadora con la FASE correcta. Por el hecho de tomar como referencia la señal de IF del canal sintonizado, los 45,75MHz son regenerados en fase con esta última y luego batidos con la mencionada señal de FI .

El resultado de dicho batido de señales se ve a continuación:



Se ve que a la salida del demodulador se obtiene el video en banda base más el audio todavía centrado en 4.5Mhz y modulado en FM.

El pin n° 37 del UOC (PLLIF) es un punto de conexión externa para determinar la Cte. de tiempo del PLL (velocidad de reacción). La misma es determinada por un circuito RC formado por R3207 y C2207.

El pin n° 38 del UOC (IFOUT/SVO) es la salida de video interno o del video de la fuente externa seleccionada, es decir que es un pin que se presta para ser usado como Salida de Monitor del tipo WYSWYR (What You See is What You Record).

En este pin se obtiene la Señal de Video con una amplitud típica de 2.5 Vpp.

Si bien la impedancia de salida del Video Buffer del UOC es baja, la Trampa de Sonido (pos 1201) representa una muy baja impedancia para las frecuencias en torno a los 4.5 Mhz, lo cuál sería una carga excesiva para el UOC. Para salvar tal problema se intercala el seguidor emisoro conformado por Q7201 (separador de etapas).

En el emisor de Q7201 se conecta entonces la Trampa de Sonido centrada en 4.5Mhz, de modo que luego de ésta se obtiene la señal CVBS limpia y lista para ser aplicada al pin n° 40 (CVBS Int) y a la Salida de Monitor de Video del TV (señal CVBS_Ter_Out).

El Amplificador de FI es en realidad un amplificador de ganancia variable. El rango de variación de ganancia de dicho amplificador no es muy grande, pero igualmente se lo utiliza en conjunto con el Sintonizador para el proceso de Control Automático de Ganancia.

Pequeñas variaciones de la señal sintonizada pueden ser compensadas directamente por el Amplificador de FI.

Cuando la variación de la señal sintonizada sea considerable, no puede ser compensada por medio de la variación de ganancia del Amplificador de FI, y es ahí donde entra en juego la variación de ganancia del Sintonizador.

Cuando se quiera seleccionar la señal de Sintonizador los registros internos del Leader deben estar del siguiente modo:

VSW="0" para seleccionar la señal del demodulador

SVO="0" para seleccionar la señal del demodulador

Resumiendo:

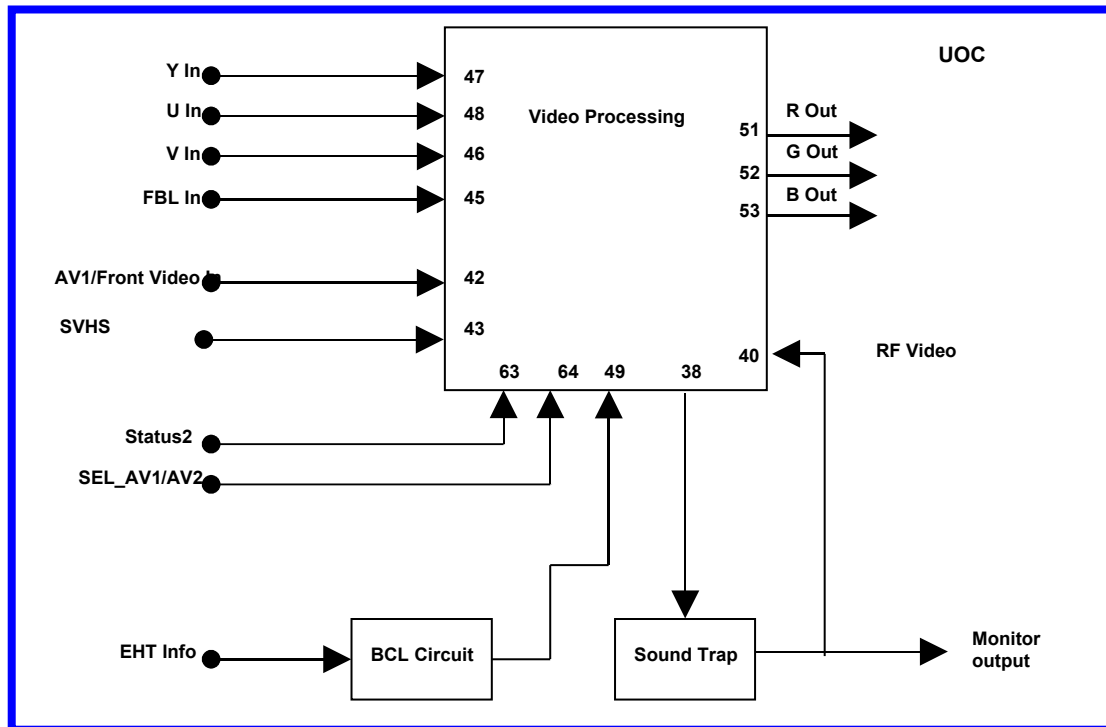
En el Pin 38 aparece la Señal demodulada y con contenido de Audio en 4.5 MHz.

El transistor 7201 hace las veces de Buffer y la trampa 1201 elimina los 4.5 MHz.

El circuito de "Selección de Fuente" selecciona el video del Pin 40 para su posterior Separación en Luminancia y Croma. Esta selección la hace según el seteo de los registros INA, INB internos del UOC.

SELECCION DE FUENTE

El diagrama en bloques de la etapa de Selección de Fuente se puede ver a continuación:



Particularmente en LATAM la configuración de entradas de señal será muy simple, ya que los aparatos pueden llegar a tener entrada AV1 (posterior) o AV FRONT (delantera), o ambas, mientras que en algunos modelos Stereo estará presente la entrada de Video Componentes (CVI) en la parte trasera.

No serán fabricados aparatos con entrada AV2 ni tampoco con entrada SVHS, por lo tanto del esquema anterior no serán tenidos en cuenta los pines 43, 63 y 64 del UOC.

Básicamente entonces, debemos recordar que el pin n° 40 del UOC es la entrada exclusiva para la señal CVBS interna, es decir la que proviene del Tuner.

El pin n° 42 del UOC es una entrada para señal CVBS externa que es común a la entrada AV1 (Entrada trasera) y a la entrada AV FRONT.

Cuando la entrada AV sea seleccionada por el usuario, la señal del pin n° 42 del UOC pasará a ser procesada y será la que se verá en pantalla.

En este caso el pin n° 42 es seleccionado según el estado de los registros internos INA, INB.

La señal seleccionada es separada en Luminancia y Crominancia y a su vez va hacia el pin n° 38

con la idea de ser monitoreada.

Los registros internos del Leader deben estar del siguiente modo:

VSW="1" (para que no haya interferencias de señal de Tuner sobre AV).

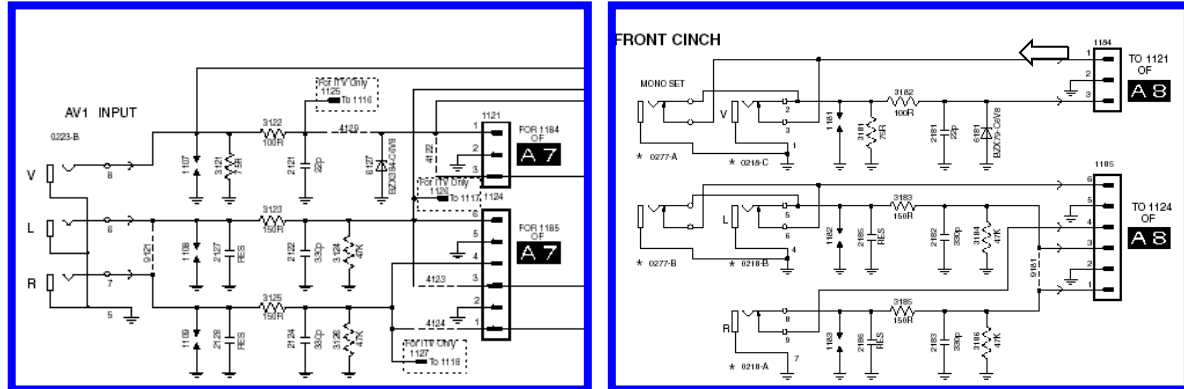
SVO="1" (para que la señal externa seleccionada salga por el monitor).

Aunque la señal externa aparece luego en el pin n° 40 aplicada por Q7201, no surge ningún efecto ya que esta entrada no está habilitada ahora.

Supongamos el caso de ingresar Señal de Video por la Entrada AV1 (trasera) en un televisor que tenga también entrada AV Front como podría ser el caso del 20PT3331 excepto el /78R.

(Acompañar con el diagrama A8 y A7 del SERVICE MANUAL)

La señal ingresa por la entrada V del conector 0223-B, la R3121 (75 Ohms) no está presente en estos aparatos, la R3122(100 Ohms) es reemplazada por un Jumper en esa posición, el Zener D6127 no es incluido, y finalmente la señal sale por el conector 1121 (terminal 1) para el conector 1184 (terminal 1).



Desde aquí la señal alcanza el Switch “Normal Cerrado” del conector 0277-A . Luego sigue la R3181 (75 Ohms) para adaptar impedancias. La señal pasa por la R3182 (100 Ohms) , luego está el Zener D6181 para proteger al UOC de cualquier fuente de señal defectuosa. Desde aquí, la señal sale por el pin n° 3 del conector 1184 para el pin n°3 del conector 1121. Desde aquí pasa por el Jumper 9125 y luego por el 4161 para convertirse en la señal SY_CVBS_IN que alcanzará el pin n° 42 del UOC para su posterior procesamiento.

Si en estas condiciones se ingresa señal por el conector AV FRONT, la propia ficha RCA al ser introducida en el conector frontal se encarga de abrir el Switch “Normal Cerrado” del Cinch 0277-A por lo cual siempre la Entrada AV FRONT tiene prioridad sobre AV1.

En el caso de aparatos que posean sólo AV1 (trasera) como por ejemplo el 20PT4331, o el 21PT5433 o el 21PT5434, estará presente el Jumper 4122, por lo que la señal que ingresa por el conector 0223-B se convierte en la señal SY_CVBS_IN luego de pasar por el Jumper 4161 y alcanza el pin n° 42 del UOC. Por supuesto que en este caso sí están presentes R3121 (75 Ohms) para adaptación de impedancias, R3122 (100 Ohms) y D6127 para proteger la entrada del UOC; no estando presente toda la circuitería asociada al conector frontal.

El último de los casos es el de aparatos que tengan sólo AV FRONT. Tal es el caso del 14PT4131. En tal caso toda la circuitería asociada al conector 0223-B no está presente, y la señal que ingresa al conector 0218-C se convierte en SY_CVBS_IN luego de pasar por el **Jumper** 4161. Esta señal alcanza así el pin 42 del UOC. Por supuesto están presentes en este aparato R3181 (75 Ohms) para adaptación de impedancia, R3182 (100 Ohms) y D6181 para proteger la entrada del UOC.

La selección entre señal de Tuner (pin n° 40 del UOC) y señal de AV Externa (pin n° 42 del UOC) es hecha de acuerdo al estado de los registros INA e INB internos del UOC de acuerdo con la siguiente tabla:

INA	INB	Selected signal
0	0	CVBS1 (from front end, IF)
0	1	CVBS2 (from SCART)
1	1	Y/C (SVHS or cinch)

En lo que hace a aparatos con entradas de Video Componentes , como es el caso del 20PT4331 y 21PT5434, dichas señales entran al UOC por los pines 47 (Y), 48 (U) y 46 (V). La tensión del pin n° 45 (BLKIN) del UOC debe estar entre 0.9 y 3.9 volts para que por software se pueda optar entre la señal YUV interna o YUV externa. De ahí la presencia del divisor resistivo formado por R3232 (1K0) y R3231 (560 Ohms).

PROCESAMIENTO DE VIDEO

Todo el Procesamiento de Video es hecho integramente dentro del UOC mismo. Tal procesamiento incluye la decodificación de Croma, control de Brillo, control de Contraste, Definición, Contrast Plus, Dynamic Skin Tone Correction, etc.

En todos los modelos que utilicen el Chasis L03 no está pensado incluir entrada de SVHS, por lo que siempre será necesario realizar la separación de Luminancia y Croma internamente.

Luego del Bloque de Selección de Fuente , la señal CVBS seleccionada desde 42 o 40 sigue dos caminos bien distintos y con distintos objetivos.

1) PROCESAMIENTO DE LUMINANCIA:

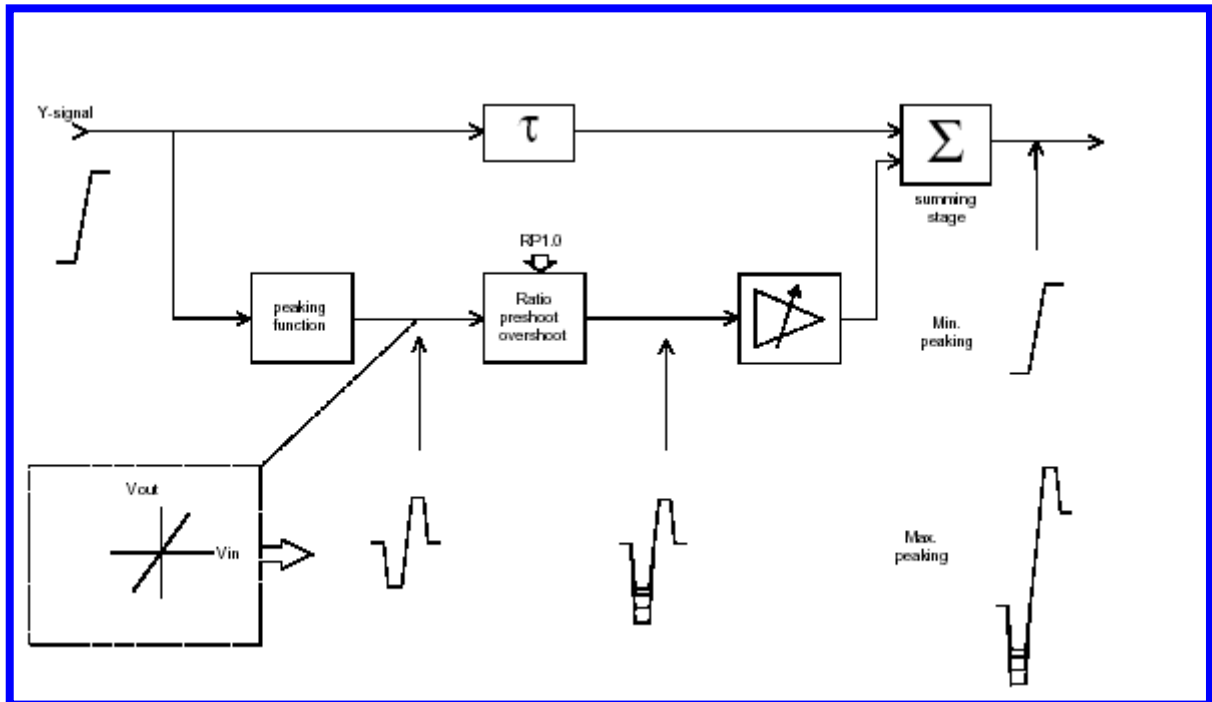
El primero de los caminos es el que sigue la señal CVBS con el objeto de poder llegarse a obtener la señal Y totalmente limpia para poder ser aplicada a la matriz YUV / RGB.

Lo primero que se encuentra la señal en ese camino es una Línea de Retardo electrónica cuyo valor puede ser programado entre 0 y 360 nSeg con el objeto de asegurar una correcta correspondencia entre Luminancia y Croma sobre la pantalla. Es decir que el objeto de esta línea de retardo es compensar la demora que sufre la señal de Crominancia por tener que atravesar más cantidad de etapas.

El valor de la demora introducida por esta Línea de Retardo es fijado por el contenido del Registro YD3..0 interno del UOC. En chasis anteriores esta demora podía ser ajustada desde el Modo Service, mientras que ahora el ajuste toma un valor por default.

A continuación de la Línea de Retardo está implementada la Trampa de Croma que tiene por objeto eliminar todo el espectro de frecuencias alrededor de la Subportadora de Color dejando sólo la señal Y.

El Bloque siguiente es el denominado PEAKING. La función de este bloque es resaltar o marcar mejor todas las transiciones de la Señal Y con la consecuente mejora en la definición de los contornos de las imágenes.



Toda vez que una transición es detectada por el bloque “Peaking Function” una señal con un PreShoot y un OverShoot es generada. La relación entre el PreShoot y el OverShoot puede ser también controlada por el contenido de los registros RPO1 y RPO0.

RPO1	RPO0	Ratio Preshoot Overshoot
0	0	1 : 1
0	1	1 : 1.25
1	0	1 : 1.5
1	1	1 : 1.8

La amplitud de esta señal generada puede ser además controlada con el objeto de resaltar más o menos la transición. Este control se hace por Software , y se lleva adelante por medio de un amplificador de ganancia variable.

Finalmente esta señal generada que contiene un PreShoot y un OverShoot es sumada a la señal original , la que debió ser demorada con la idea de conservar la correspondencia entre sus transiciones y el momento en que se le suma la señal PreShoot y OverShoot.

En este punto la señal Y ya queda lista para ser utilizada en la YUV/RGB Matriz.

2) PROCESAMIENTO DE CROMA

El otro camino que sigue la Señal CVBS es el relacionado a la separación y demodulación de la señal de Croma.

Para esto pasa por un amplificador de ganancia variable y controlada por dos señales: ACL y ACC.

ACL implica Automatic Color Limitation. Para aquellas señales con una relación Cromo/Burst elevada, el control de ACL cumple la función de mantener la correcta saturación del color. El ACL no tiene acción sobre la sensibilidad de la etapa de Cromo, sino que su función está pensada para aquellos casos de estaciones transmisoras que transmitan con una relación Cromo/Burst fuera de Estándar. Dado que el Burst es tomado como testigo de la amplitud de la señal de Cromo, una relación Cromo / Burst incorrecta llevaría a un valor de saturación incorrecto.

Por otro lado, la señal ACC (Automatic Color Control) cumple el mismo efecto que la señal de AGC . Es decir, de acuerdo a la amplitud del Burst aumenta o disminuye la ganancia del Amplificador de Cromo. Esta señal ACC sí tiene efectos sobre la sensibilidad de la etapa de Cromo.

La separación de la señal de Cromo a partir de la señal CVBS se hace por medio del Band Pass filter, el cuál es un Filtro Pasabanda centrado en forma electrónica en torno a la Subportadora de Cromo, y cuyo ancho de banda es del orden de 2.6Mhz, es decir el doble del ancho de banda de la señal de Cromo.

Como se puede observar, la frecuencia central del filtro debe cambiar de acuerdo al Estándar detectado.

Una vez separada la señal de Cromo , la misma debe ser demodulada.

Para regenerar la subportadora de croma localmente se usa un DDS (Sintetizador Directo Digital), el cuál tomando una referencia desde el microprocesador es capaz de generar la subportadora de croma para los siguientes sistemas de acuerdo al estado de los registros CM3..CM0.

CM3	CM2	CM1	CM0	Colour decoder mode	Subcarr. freq.
0	0	0	0	PAL/NTSC	A
0	0	0	1	Spare	
0	0	1	0	PAL	A
0	0	1	1	NTSC	A
0	1	0	0	Spare	
0	1	0	1	PAL/NTSC (auto)	B
0	1	1	0	PAL	B
0	1	1	1	NTSC	B
1	0	0	0	PAL/NTSC(auto)	ABCD
1	0	0	1	PAL/NTSC(auto)	C
1	0	1	0	PAL	C
1	0	1	1	NTSC	C
1	1	0	0	PAL/NTSC (auto tri-normal)	BCD
1	1	0	1	PAL/NTSC (auto)	D
1	1	1	0	PAL	D
1	1	1	1	NTSC	D

El caso de nuestros TV's será el equivalente a CM3=1, CM2=0, CM1=0, CM0=0; siendo este seteo hecho por el microprocesador de acuerdo al contenido de los bits 0 y 1 del Option Byte 7.

Del DDS se obtienen la señales H0° lista para demodular a la componente B-Y y la señal H90° que se usará para la demodulación de R-Y.

El bloque H/2 no es otra cosa que nuestra conocida PAL Switch, que invierte la fase de la señal H90° línea por línea, es decir a una frecuencia FH/2.

Las señales H0° y H90° con su fase rotante entran a sendos multiplicadores donde se produce el batido con la señal de croma que se extrajo de la señal CVBS.

Dos filtros Pasabajos de 1,3MHz de ancho de banda a la salida de cada multiplicador seleccionan sólo la componente de baja frecuencia del batido.

Luego la conocida Delay Line de 1H propia del sistema PAL, que se encarga en conjunto con los sumadores de obtener las componentes de la señal de Croma libres de errores de fase.

En caso de estar trabajándose con señal NTSC, la Línea de Retardo de 1H y el sumador son Bypassados, y un amplificador de 6dB de ganancia (equivalente a una ganancia de 2 veces) es intercalado en su lugar con el objeto de obtener las componentes I y Q con los niveles correctos.

Este último camino, es decir el de los Amplificadores de 6dB, es también el que seguiría una señal de Croma correspondiente al sistema PAL Simple (PAL sin Línea de Retardo) de muy poca vigencia en la actualidad.

PROCESAMIENTO YUV- RGB

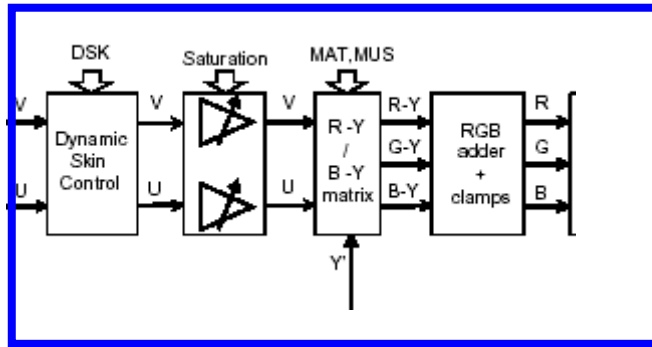
La etapa de Procesamiento de Video incluida dentro del UOC será la encargada de obtener las señales RGB en los pines n° 51 , 52 y 53 del propio UOC partiendo de las Señales Y, U y V ya obtenidas.

Los otras funciones que tienen lugar dentro de la etapa de Procesamiento de Video son:

- 1- Control de Brillo.
- 2- Control de Contraste.
- 3- Control de Saturación.
- 4- Control de Definición.
- 5- Limitación de Pico de Blanco.
- 6- Limitación de Corriente de Haz.
- 7- Black Stretch (Contrast Plus).

Para poder obtener las señales RGB necesarias para excitar a los Amplificadores de Video a partir de las señales Y, U y V es necesario entrar con estas últimas a una matriz.

La matriz en cuestión es la denominada YUV-RGB Matrix que comprende las siguientes etapas del UOC:



Valores nominales de las señales de entrada a la YUV-RGB Matrix son:

$Y = 1.4 \text{ Vpp}$ donde 1V es información de Luminancia pura.

$U = -(B-Y) = 1.78 \text{ Vpp}$

$V = -(R-Y) = 1.4 \text{ Vpp}$

Como se ve, el control de Saturación trabaja únicamente sobre las señales U y V, modificando la ganancia de sus respectivos amplificadores, mientras que el efecto del Dynamic Skin Tone Correction también actúa sobre las mismas, pero modificando sus proporciones.

Por otro lado el efecto de Black Stretch, también conocido como Contrast + actúa sólo sobre la señal Y.

Control de Contraste:

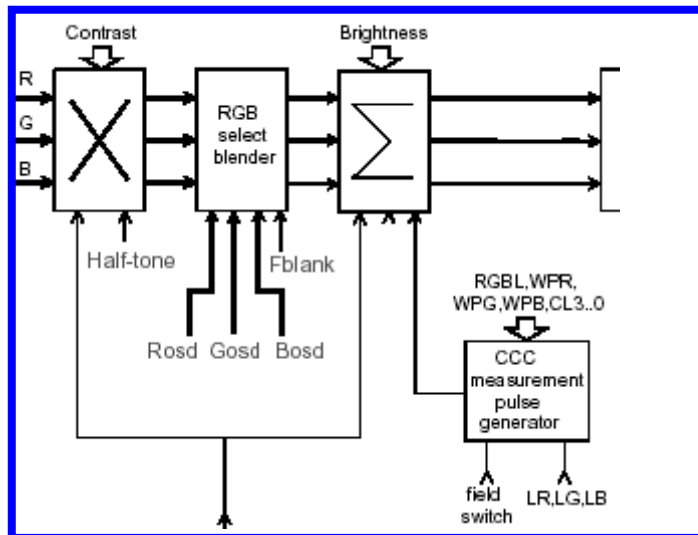
Las señales RGB obtenidas a partir de la RGB Matrix ingresan a un bloque multiplicador. La ganancia de dicho bloque multiplicador puede ser controlada desde la etapa de Control por medio del Bus de I2C interno. Dicha ganancia puede ser variada hasta 18dB, lo que en veces equivaldría a una variación de ganancia de casi 8 veces. Esta situación equivale al nivel de Contraste al máximo.

El bloque siguiente es una llave de selección o mezcladora, controlada por el Microprocesador por medio de la conexión interna Fblank que permite la inserción de OSD en la imagen.

Control de Brillo:

La señal RGB con el OSD insertado ingresa a un bloque sumador, donde lo que se le suma es en realidad un nivel de continua. El valor de dicho nivel de continua es controlado desde el Microprocesador por medio del Bus de I2C interno.

Debido a la acción de este bloque sumador, las señales en los pines nº 51, 52 y 53 del UOC (RGB Outputs) pueden ser obtenidas con un nivel de continua que puede ser ajustado dentro de un margen de ± 0.7 volts lo que equivaldría a las condiciones de Brillo al máximo y al mínimo respectivamente.



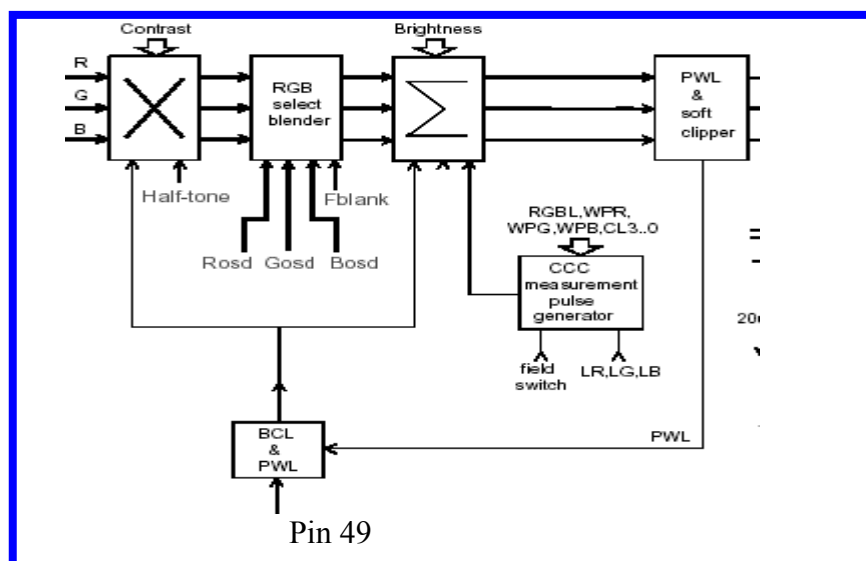
El Limitador de Haz y el Limitador de Pico de Blanco, función del pin n° 49 del UOC:

Tanto para protección ya sea del TRC, como del Fly-Back y del Transistor de Salida Horizontal contra situaciones de elevadas corrientes de haz, el promedio de la corriente de haz es monitoreado por medio de la señal Beam_Lim que finalmente termina aplicada al pin n° 49 del UOC.

Dado que la corriente de haz fluye desde los +160VD, pasando por R3442 (120K) y R3441 (120K), luego por el bobinado de EHT del Fly-Back y cierra a masa por medio del CRT (que equivale a un impedancia de 1Mohm en paralelo con una capacidad de 0,5 nf), la forma de onda de tensión que se registra en el punto de unión de R3441 y R3451 es una muestra de lo que sucede con la corriente de haz.

Por lo tanto cuando la corriente de haz (Ibeam) aumenta, la tensión Beam_Limit disminuye.

Realimentando entonces la tensión Beam_Limit al pin n°49, el valor promedio de la corriente de haz se mantienen controlado.



Cuando la tensión del pin n° 49 del UOC cae por debajo de los 2 Volts, la limitación de haz comienza a hacerse efectiva por medio de la reducción del Contraste.

Cuando la tensión del pin n° 49 del UOC cae por debajo de los 1.5 Volts, la limitación de haz tiene lugar por medio de la reducción de Brillo.

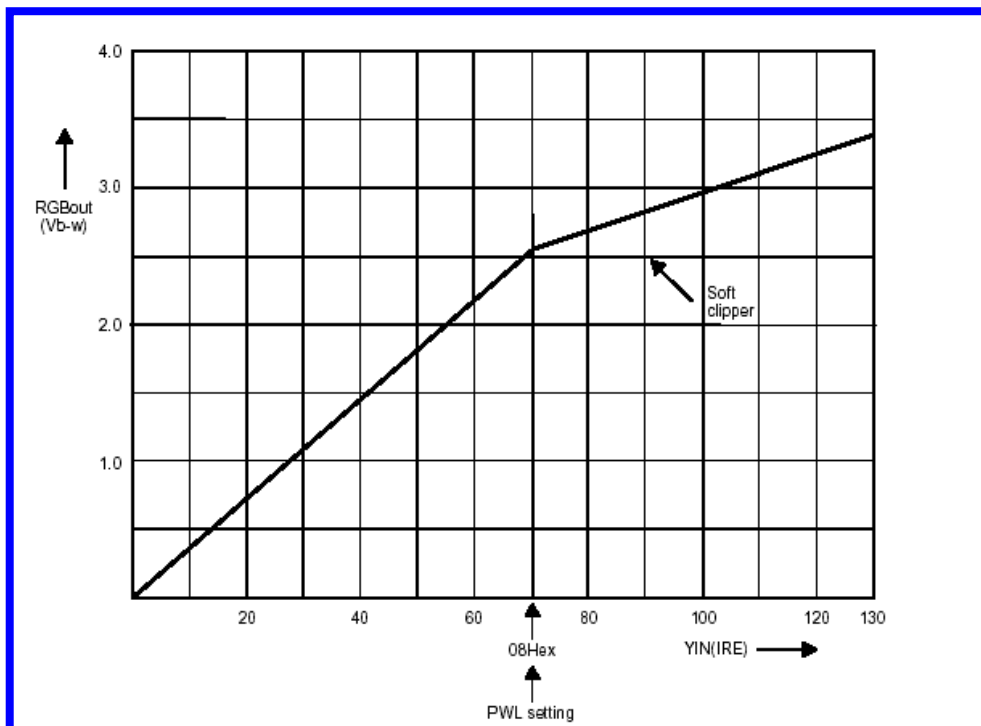
Un valor de tensión normal en el pin n° 49 del UOC es 2.5 Volts, para la cual el limitador de haz no actúa.

Dado que la Limitación de Brillo es un proceso que tiende a limitar la corriente de haz **promedio** de toda la imagen (ver que la tensión Ibeam surge a partir de un filtro pasabajos formado por R3451 (8K2) y C2455 (10uF), este loop resulta ser muy lento como para actuar sobre **picos** de corriente de haz).

Un control extra y complementario del Limitador de Brillo es implementado dentro del UOC, y es el Limitador de Pico de Blanco (PWL = Peak White Limiter).

El Limitador de Pico de Blanco está pensado para limitar el brillo en partes puntuales de la imagen. Es decir que toda vez que halla un área de la imagen muy luminosa (ej. luz de un automóvil, flash fotográfico, etc) el Limitador de Pico de Blanco reducirá la corriente de haz sólo en dicha parte de la imagen.

La función del Limitador de Pico de Blanco es evitar el Blooming localizado (deformación), prevenir el Dooming (manchas por sobrecalentamiento de la Máscara de Sombra) y preservar la vida útil del Fósforo del TRC cuando se trate de imágenes estáticas. La detección del momento en que tiene que actuar el Limitador de Pico de Blanco se hace tomando como referencia la señal Y. Por ejemplo, si la señal Y supera los 0.7V la Limitación de Pico de Blanco empieza a hacerse efectiva (recordar que la señal Y tiene una amplitud de 1V relacionada a información de Luminancia y sin considerar el sincronismo). Dado que la limitación comienza sólo a partir de los 0.7 Volts de la señal Y, pero no antes, todo el sistema se comporta como si el Procesador de YUV-RGB tuviese una respuesta alineal, tal como se puede ver en la curva característica debajo:



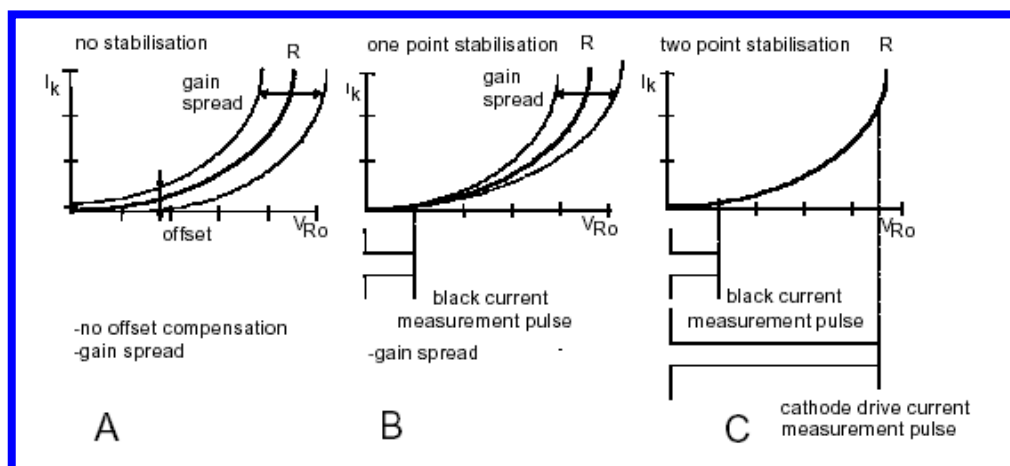
Para prevenir que el Limitador de Pico de Blanco actúe sobre picos de video de muy corta duración (Ej. las letras de los subtítulos) , el PWL sólo actúa cuando el pico de Luminancia es mayor a 0.7 Volts y dura más de 2 uSeg. Esto quiere decir que **en un TV de 20" el PWL actuará solo en detalles de la imagen que tengan más de 1,5 cm de ancho.**

EL LOOP CCC (Calibración Continua de Cátodos) y LA FUNCION DEL PIN N° 50

El Loop CCC:

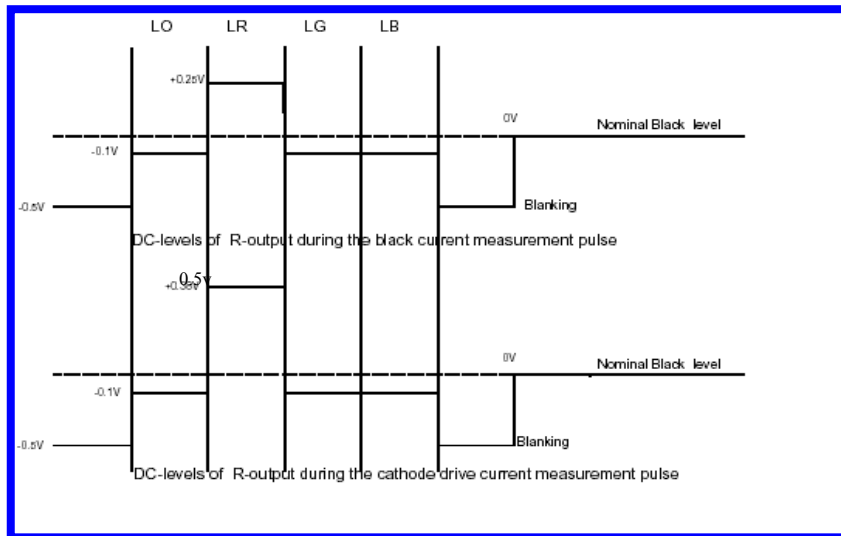
El Loop de Calibración Continua de Cátodos o Loop de Estabilización de dos puntos de la característica del TRC es un Loop de autoajuste que estabiliza tanto el nivel de negro (offset en continua) como así también el "Cathode Drive Level" (la ganancia del multiplicador interno del UOC para una determinada corriente de cátodo) para cada uno de los cañones del TRC en forma secuencial e independiente en campos alternados.

La figura debajo muestra la relación entre la I de Cátodo Rojo y la tensión en el pin n° 51 del UOC (Rout):



Se puede ver que en el caso de no llevarse adelante el proceso de estabilización anteriormente mencionado , las características de transferencia de cada cañón en función de la temperatura y el envejecimiento del TRC van cambiando (Fig. A) , con lo cual la tonalidad de la imagen no se conservará con el correr del tiempo con respecto a lo ajustado en fábrica originalmente.

Monitoreando las señales RGB Out en los pines 51, 52 y 53 del UOC luego de finalizado el período de Borrado Vertical (es decir en las líneas 17, 18, 19 y 20) se podrá ver **en forma alternada campo por campo** formas de onda como las siguientes:



En este caso la medición está hecha sobre el pin n° 51 (R OUT).

Es importante notar la presencia de un pulso de 0,25Volts por encima del Nivel de Negro nominal de la señal, como así también un pulso de 0,50 Volts por encima del Nivel de Negro nominal de la señal.

El primer pulso (0,25 Volts) se usa para eliminar el offset en relación al Nivel de Negro correcto (muy cercano al punto de corte del cañón). El segundo tiene por objeto determinar la ganancia correcta del multiplicador interno del UOC.

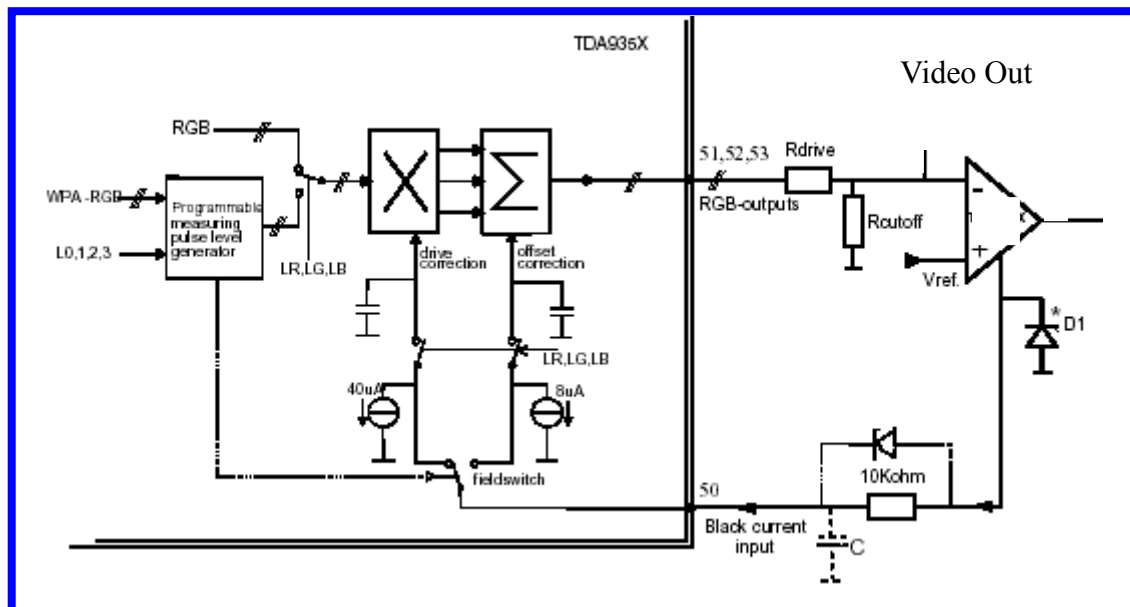
Todo el proceso de autoajuste del Loop de Calibración Continua de Cátodos se realiza censando la corriente que retorna desde los Amplificadores de Video hacia el pin n° 50 del UOC.

El pin n° 50 (BLKIN):

El pin n°50 (Black Current Input/Vertical Guard Input) cumple una doble función en el TV. La primera está relacionada al censado de la corriente que retorna de los Amplificadores de Video, y que se explicará a continuación; y la segunda está relacionada al censado del correcto funcionamiento de la Etapa de Deflexión Vertical que se explicará al tratar el tema de las Protecciones.

Una vez que aparecen los pulsos HDrive en el pin n° 33 del UOC al ser encendido el TV, las salidas RGB Outputs (pines n°51, 52 y 53) están deshabilitadas. Sólo los pulsos de medición de 0,25 Volts y 0,50 Volts anteriormente vistos están presentes.

El TRC es calentado por medio de estos pulsos de medición, pero debido al hecho de que todavía está frío, las corrientes que retornan desde los Amplificadores de Video hacia el pin n° 50 del UOC no tienen los valores correctos. Debido a esto y para acelerar el proceso el UOC setea al máximo la ganancia del multiplicador interno de cada color, como así también pone al máximo el nivel de continua en sus pines 51, 52 y 53. Una vez que el TRC esté caliente, el CCC loop tratará de obtener ahora los valores correctos de corrientes de retorno al pin 50.



Durante la estabilización del correcto Nivel de Negro, el pulso de 0,25 Volts está presente en las salidas RGB del Generador de Pulsos de medición. El UOC buscará obtener una corriente de retorno de 8 uAmp en su pin n°50. De no obtenerlo comenzará a variar el nivel de continua de las salidas RGB hasta conseguirlo.

Durante la estabilización del Cathode Drive Level (el otro punto de estabilización de la característica de transferencia del cañón) , el pulso de 0.50 Volts está presente en las salidas RGB del Generador de Pulsos de medición y el UOC buscará obtener en su pin n° 50 una corriente de retorno de 40 uAmp. De no lograrlo comenzará a variar la ganancia del multiplicador interno para cada color.

Una vez que se cumplieron ambas corrientes para cada uno de los cañones, recién ahí las salidas RGB son liberadas para poder reproducir imagen en todos los sectores de la pantalla.

El Loop CCC continúa activo todo el tiempo que el TV esté encendido y en forma alternada por campos, mantiene invariable tanto el Nivel de Negro como el Cátodo Drive Level permitiendo que una imagen óptima y perfecta se obtenga independientemente del tiempo de uso del TRC.

EL AMPLIFICADOR DE VIDEO Y EL PANEL TRC:

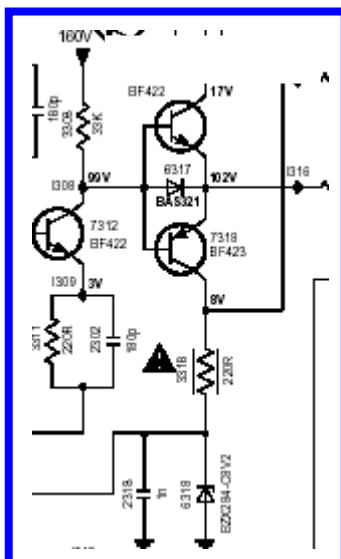
El Amplificador de Video es un circuito totalmente discreto, tal como estamos acostumbrados a ver en los anteriores Chasis para pantallas chicas.

La única tensión de alimentación que llega al Panel TRC son los +160 Volts que se obtienen del Fly Back.

Se debe alimentar el Panel TRC con una tensión relativamente alta para garantizar el corte del TRC.

Como se ve en la figura a continuación, cada amplificador está compuesto por un transistor en configuración Emisor Común con RE con By Pass parcial.

(Q7312 en este caso).



Este transistor (7312) es el que realmente da la ganancia de tensión. La ganancia aproximada de un transistor en esta configuración es $-RC/RE = -33K/0.22K = -150$. Esto es verdad siempre que la impedancia de entrada del amplificador sea muy elevada.

Dado que en la entrada del amplificador hay un atenuador formado por R3621(470 Ohms) y R3310 (220 Ohms), la transferencia del atenuador resulta ser de 0,32.

Esto resulta en una ganancia total de:

$$-RC/RE * 0.32 = -48$$

La etapa de salida de cada Amplificador de Video esta hecha en base a pares de transistores complementarios (en este caso Q7317 y Q7318) los cuales tienen configuración Colector Común. No aportan ganancia de tensión pero forman un buen separador de etapas.

Q7317 será el responsable de llevar el potencial del Cátodo hacia lo positivo para hacer conducir menos o cortar el correspondiente Cañón del TRC, mientras que Q7318 es el que bajará el potencial del Cátodo para hacer conducir el correspondiente Cañón del TRC.

Cada uno de los transistores amplificadores Q7308, Q7310 y Q7312 tiene entre su emisor y masa un capacitor de bajo valor para mejorar la respuesta del amplificador en frecuencias altas.

Los colectores de los transistores Q7314, Q7316 y Q7318 están unidos en un punto en común y este punto es un FeedBack hacia el pin n° 50 del UOC para hacer el proceso de Calibración Continua de Cátodos ya explicado anteriormente.

Descarga del TRC:

Cuando el TV es apagado vía el comando de Stand By, las salidas RGB del UOC son seteadas de modo de obtener una corriente de haz fija del orden de 1 mA con la idea de descargar el TRC de un modo controlado. Durante el apagado, la Deflexión Vertical es desviada hacia la parte superior de la pantalla en un sector en que la descarga no puede ser vista en la imagen.

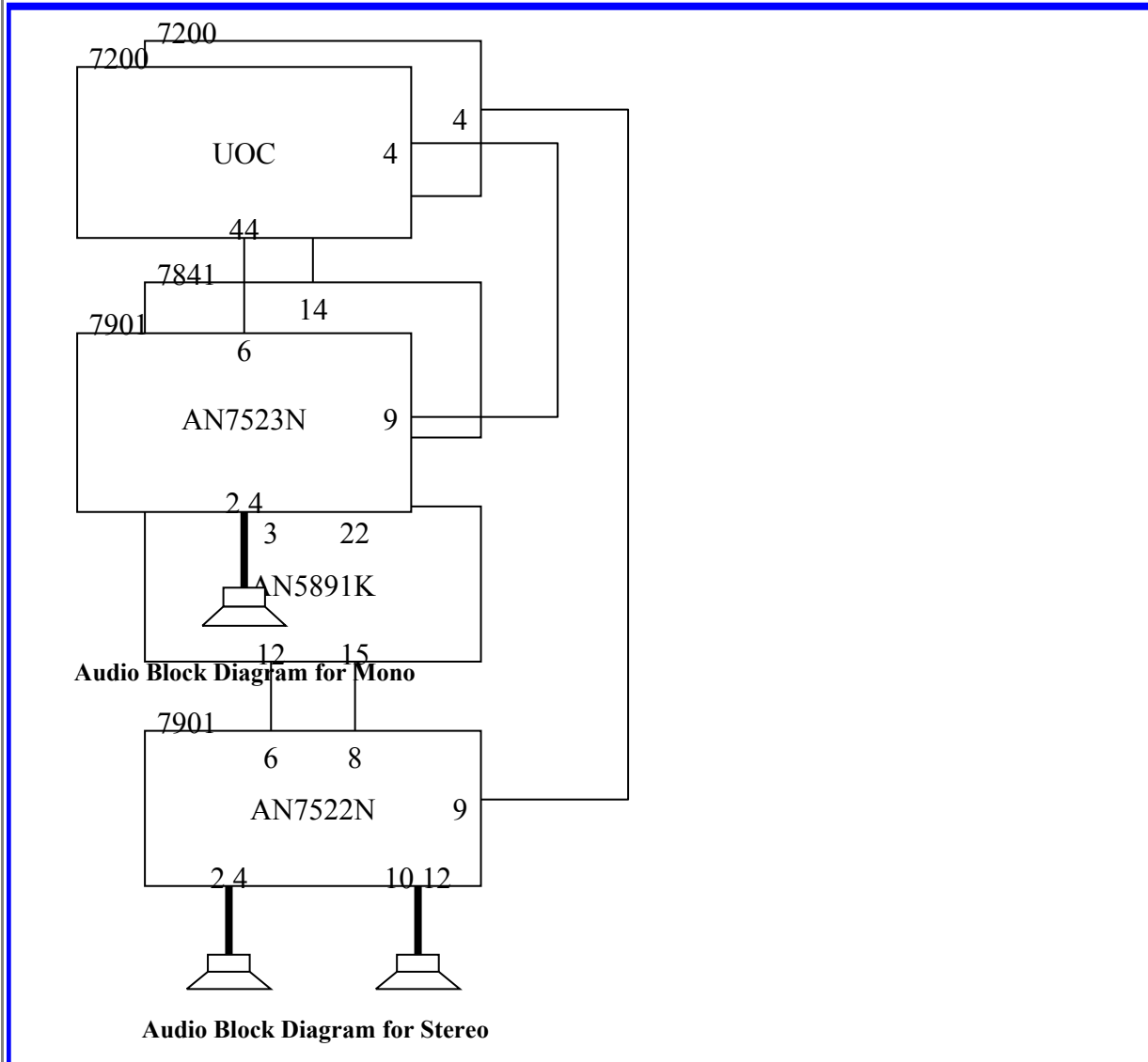
El tiempo durante el cual se hace circular por el TRC una corriente fija de 1 mA es de 38 mSeg. Debe asegurarse que durante este tiempo la tensión de +8 Volts para el UOC no caiga por debajo de los 6.2 volts, ya que esto interrumpiría el proceso de descarga del TRC pues el UOC se apagaría antes de estar descargado el TRC.

TIPS DE REPARACIÓN DE LA ETAPA DE PROCESAMIENTO DE VIDEO:

- 1) Si no hay Video cuando el TV tiene como fuente el Tuner pero el TV funciona OK cuando la Fuente de Señal es externa, chequear primero los Consejos de Reparación de la Etapa de Sintonía.
- 2) Si los puntos asociados al Sintonizador están OK; chequear entonces que haya Señal de Video en el pin n° 38 del UOC, ya que este punto es la Salida del Demodulador. Si no hay video en este punto, el UOC podría ser el causal del defecto.
- 3) Si la Señal de Video está presente en el pin n° 38 y continúa sin aparecer Video en pantalla, chequear entonces que haya Señal en el pin n° 40 del UOC, ya que esta es la entrada de Selección de Fuente correspondiente al Sintonizador. De no haber Señal en este punto chequear Q7201, R3204, L5201, R3208 y C2209.
- 4) Si el problema de la falta de video fuese también por AV, proceder a chequear la presencia de las Señales RGB en los pines 51, 52 y 53 del UOC. Si las señales en estos pines no están presentes, entonces verificar que los Controles de Brillo y Contraste no estén al mínimo o seteados cercanos en valores muy bajos.
- 5) Si los controles están bien o si el OSD tampoco aparece, verificar la tensión del pin n°49 del LEADER. No debe estar por debajo de los 2 Volts.
- 6) Si los settings anteriormente mencionados están OK, el defecto puede estar en el Panel RGB, ya que si algo está mal en este panel, entonces la Señal BLK_IN (en el pin n° 5 de los Conectores 1300 en el Panel TRC y 1622 en el Panel Principal no tomará nunca el valor correcto como para que el UOC libere las Salidas RGB.

PROCESAMIENTO DE AUDIO

Con el Chassis L03 se fabricarán televisores Estereofónicos y Monoaurales, de modo que el procesamiento de Audio es distinto de acuerdo al tipo de televisor que se trate. El diagrama en bloques para ambas posibilidades se ve a continuación:



PROCESAMIENTO DE AUDIO EN EQUIPOS STEREO:

(Acompañar con el Diagrama A5 del Manual de Service)

Este Chasis utiliza el concepto de demodulación por Interprotadora, es decir que nos encontraremos con un único SAW Filter para Video y Audio, tal como vimos en el diagrama de la página 28 (La Etapa de Sintonía).

A partir de la señal IF que viene del Sintonizador y que entra al UOC por los pines n° 23 y n° 24, éste demodula el patrón BTSC completo, para sacarlo en banda base por su pin n° 44 . Desde aquí es llevado al pin n° 14 (MPX_IN) del BTSC Decoder (Ic 7841 AN5829S) para que pueda ser decodificado (separación de canales Izquierdo y Derecho).

La detección de Estéreo y SAP es hecha dentro de este Ic.

El tipo de señal detectado es comunicado desde el AN5829S al UOC por medio del Buss de I2C. (pines n° 18 y n°19 del Ic 7841).

En los pines n°21 y n°22 del Ic 7841 (AN5829S) es posible obtener las señales correspondientes a los canales Izquierdo y Derecho respectivamente , ya separadas. Las salidas del Ic 7841 (AN5829S) son salidas de nivel fijo, es decir que el Control de Volumen es hecho posteriormente por medio del voltaje aplicado desde el UOC (pin n° 4) al pin n° 9 del Amplificador de Audio.

La selección de fuente en los aparatos Estéreo es hecha también dentro del AN 5829S.

La señales presentes en las salidas del Ic 7841 (AN5829S) (pines n° 21 y n° 22) son llevadas hacia los pines n° 3 y n° 22 del Ic 7821 (AN5891K).

La funciones que cumple el AN5891K son: Control de Treble, Bass, Incredible Surround, Ulatra Bass y Balance.

La función AVL en los aparatos Estereofónicos es también hecha por el AN5891K

(AUXR1), n° 24 (AUXL2) y n° 23 (AUXR2), pero se utilizarán sólo las correspondientes a los pines n° 2 y n° 3.

Dentro de la gama de TV's estereofónicos, habrá aparatos con AV Front (14PT4131) y aparatos con AV Rear (20PT4331, 21PT5433 y 21PT5434)

Analizamos a continuación el camino de la Señal de Audio Externa para ambos casos:

14PT4131: Las señales de audio L y R entran por el Cinch 0218-B-A, pasan por R3183 (150 Ohms) y R3185 (150 Ohms) respectivamente. R3184(47 KOhms) y R3186(47 KOhms) están presentes a los fines de adaptar impedancias. Luego, las señales L y R salen por los pines n° 3 y n° 1 del Conector 1185 (Diagrama A7). Desde este punto llegan a los pines n° 3 y n° 1 del Conector 1124 (Diagrama A8). Los Jumpers 4123 y 4124 no están presentes, por lo que las señales L Y R continúan por los Jumpers 4126 y 4127 respectivamente para convertirse en las señales L1_IN y R1_IN que terminarán ingresando a los pines n° 2 (AUXL1) y n° 3 (AUXR1) del BTSC Decoder (Ic 7841).

20PT4331, 21PT5433 y 21PT5434: Las señales de audio L y R entran por el Cinch 0223-B (Diagrama A8), pasan respectivamente por R3123 (150 Ohms) y R3125 (150 Ohms). R3124 (47 KOhms) y R3126 (47 KOhms) están presentes para adaptar impedancias. Luego las señales L y R son transportadas por los Jumpers 4123, 4124, 4126 y 4127 para convertirse en las señales L1_IN y R1_IN que terminarán ingresando a los pines n° 2 (AUXL1) y n° 3 (AUXR1) del BTSC Decoder (Ic 7841).

b) Aparatos Monoaurales:

Dado que en estos aparatos el Procesamiento de Audio lo hace el UOC, la única entrada de audio externo está en dicho Ic y la constituye el pin n° 35 (L1_IN).

Dentro de la gama de aparatos Monoaurales, tendremos aparatos con entrada de AV Front (14PT3131) y aparatos con AV Rear y AV Front (20PT3331). En todos los casos mencionados la señal externa entra al UOC por su pin n° 35.

Analizamos a continuación el camino que recorre la señal de audio externa hasta ingresar al UOC, para cada uno de los modelos de TV's Monoaurales mencionados:

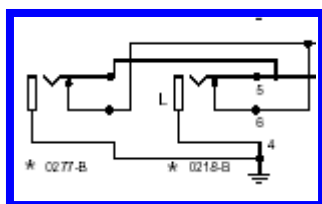
14PT3131: El audio ingresa por el Cinch 0277-B, pasa por la R3183 (150 Ohms), R3184 (47 KOhms) está a los efectos de adaptar impedancias; luego la señal de audio sale por el pin n° 3 del Conector 1185 para llegar al pin n° 3 del Conector 1124 (Diagrama A8). Desde aquí, pasa por el Jumper 4126 para convertirse en la señal L1_IN que termina entrando al pin n° 35 del UOC.

20PT3331: En este aparato, que ofrece posibilidad de ingresar audio por la entrada AV Front o por la entrada AV Rear, se usa toda la circuitería de adaptación de impedancias y protección de la entrada AV Front, mientras que para la entrada AV Rear sólo el Cinch 0223-B es agregado.

Entrando por AV Front: La señal entra por el Cinch 0227-B, pasa por la R3183 (150 Ohms), luego está la R3184 (47 KOhms) para adaptar impedancias. La señal de Audio alcanza el pin n° 3 del Conector 1185 para aparecer en el pin n° 3 del Conector 1124 (Diagrama A8). El Jumper 4123 no está presente en este TV. Desde el pin n° 3 del Conector 1124 la señal pasa por el Jumper 4126 para convertirse en la señal L1_IN que llegará al pin n° 35 del UOC como Señal de Audio Externa.

Entrando por AV Rear: La señal ingresa al TV por el Cinch 0223-B; en la posición 3123 hay conectado un Jumper, la R3124 no está presente, y la señal llega al pin n° 6 del Conector 1124. El Jumper 4123 no está presente en este modelo. Desde el pin n° 6 del Conector 1124 la señal pasa al pin n° 6 del Conector 1185 (Diagrama A7). A partir de acá la señal continúa por el Switch interno del Cinch 0227-B para llegar a la posición 3183 donde ya dijimos anteriormente que se halla una R de 150 Ohms. La R3184 (47 KOhms) cumple la función de adaptar impedancias. La señal alcanza el pin n° 3 del Conector 1185, para pasar desde aquí al pin n° 3 del Conector 1124 nuevamente (Diagrama A8). Desde este conector la señal de audio entrante es transportada por el Jumper 4126 para convertirse en la señal L1_IN que llegará al pin n° 35 del UOC.

Dado que el pin n° 35 del UOC es la única entrada de señal de audio externa que el mismo posee; en todos estos casos en que existe una entrada AV Front y una entrada AV Rear, la selección entre una u otra es hecha por el Switch mecánico incluido dentro del Cinch 0227-B.



Esto implica que siempre la entrada AV Front tiene prioridad sobre la entrada AV Rear.

EL AMPLIFICADOR DE AUDIO:

(Acompañar con el Diagrama A6 del Service Manual)

El Amplificador de Audio utilizado en los aparatos con Chasis L03 dependerá de si se trata de aparatos Estereofónicos o Monoaurales.

En el caso de aparatos Estéreo, se usa el AN7522N que ocupa la posición 7901 en el impreso. Para el caso de aparatos Mono, se usa el AN7523N en la posición 7902.

Este tipo de amplificadores son Clase AB, es decir de alto rendimiento y baja corriente de reposo.

La configuración de salida del amplificador es de tipo BTL (Bridge Tied Load), es decir, una configuración de tipo puente con 4 transistores por cada canal.
La ventaja que tiene la Clase AB tipo BTL (4 transistores por canal) con respecto a la Clase AB convencional (2 transistores por cada canal), es que para la misma tensión de alimentación entrega mayor potencia.

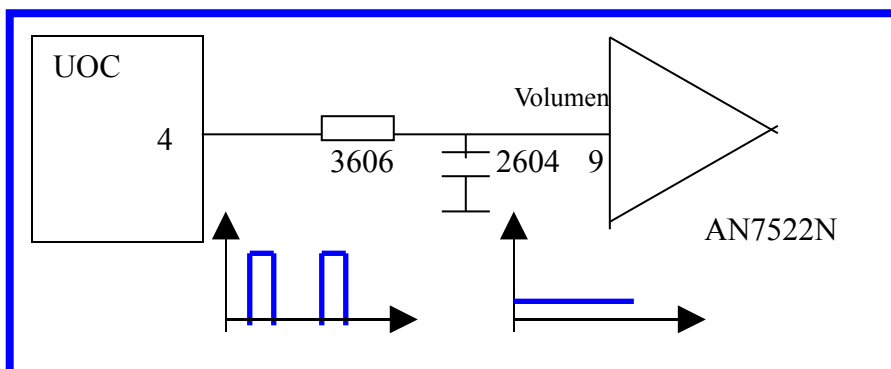
La tensión de alimentación para la Etapa de Potencia es Vaudio (Vaux) del orden de los 12 Volts, que viene directamente de la Fuente de Alimentación.

Con este valor de tensión de alimentación se obtiene una Potencia de Salida de Audio de 2 X 3 Watts con el AN7522N y 1 X 3 Watts con el AN7523N.

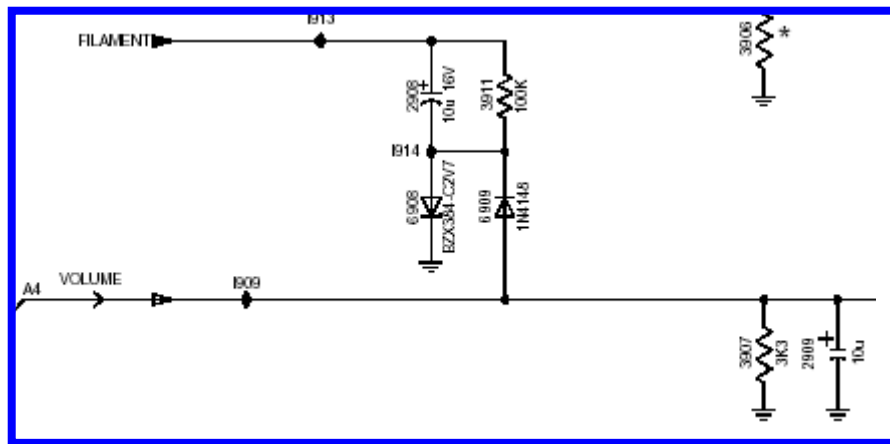
El AN7522N:

Los pines 6 y 8 son las entradas de audio de canal Izquierdo y Derecho respectivamente. A dichos pines llegan las señales Main_OutL y Main_OutR que vienen desde los pines nº 12 y nº 15 del Procesador de Audio AN5891K de la posición 7821.

El pin nº 9 es el Control de Volumen, y a su vez es la vía para producir el Mute.
La tensión del pin nº 9 alcanza los 1.3 Volts para condición de Volumen Máximo, y será puesta a 0 Volts por el UOC toda vez que deba producirse el MUTE.
Cualquier tensión intermedia entre los 0 Volts y los 1.3 Volts en el pin nº 9 del AN7522N equivale a condiciones de volumen intermedias.
El Control de Volumen se hace extrayendo el valor medio de la onda rectangular que sale del pin nº 4 del UOC.



El circuito “Anti-Plop”, que actúa durante el apagado del TV lo constituyen C2908, R3911, D6908 y D6909.



Durante el proceso de apagado el UOC pondrá su pin n° 4 a 0 Volts, con el objeto de que el apagado del TV sea silencioso en lo que al Audio se refiere, pero dado que la tensión de Control de Volumen que se aplica al pin n° 9 del Ic 7901 (AN7522N) proviene de dos circuitos PasaBajos formados por R3206, C2604, R3907 y C2909, el valor de dicho voltaje no alcanzaría los 0 Volts de forma inmediata dado que los capacitores tomarán su tiempo en descargarse.

Para descargar rápidamente los capacitores mencionados anteriormente (C2604 y C2909) se recurre al Circuito “Anti-Plop”.

La tensión FILAMENT proveniente del Fly Back mientras el TV está en estado “ON” carga el C2908, el cual permanece cargado mientras la tensión FILAMENT está presente. Cuando el TV pasa a Stand By o cuando es apagado desde el Main Switch, la tensión FILAMENT desaparece rápidamente. De este modo el C2908 queda con su terminal positivo conectado a masa pero por otro lado polariza en directa a D6909 de modo que circula una corriente que produce la descarga rápida de C2604 y C2909, con lo cual el pin n° 9 del AN7522N tomará estado bajo a tiempo para mutear instantáneamente al integrado de modo que no se escuche el “plop” por los parlantes.

El pin n° 5 del AN7522N es el Control de Stand By del integrado.

Como el Amplificador de Audio está alimentado por la tensión Vaux que viene de la Fuente de Alimentación, sucede que aunque el TV esté en Stand By, el Amplificador de Audio sigue recibiendo en su pin n° 1 (Vcc) algo de tensión proveniente de la Fuente. Dado que en Stand By la Fuente está funcionando en Modo Ráfaga, la tensión Vaudio en esta condición tiene un fuerte Ripple del orden de los 100 Hz (Frecuencia de Burst).

Ésto podría ocasionar que algún zumbido se escuche por los parlantes con el equipo en Stand By, lo cuál sería inaceptable.

Durante el Stand by la tensión +5V desaparece, ya que la tensión VTSupply que sale del Fly Back también desaparece.

La ausencia del +5V en el pin n° 5 del AN7522N lo pone en Stand By, asegurando no solamente la situación de silencio sino el bajo consumo del integrado.

El AN7523N:

El AN7523N es el Amplificador de Audio que se usa en los televisores Monoaurales. Todo lo explicado para el AN7522N es valedero para el AN7523N, con la salvedad que dentro del Ic hay únicamente un canal de amplificación.

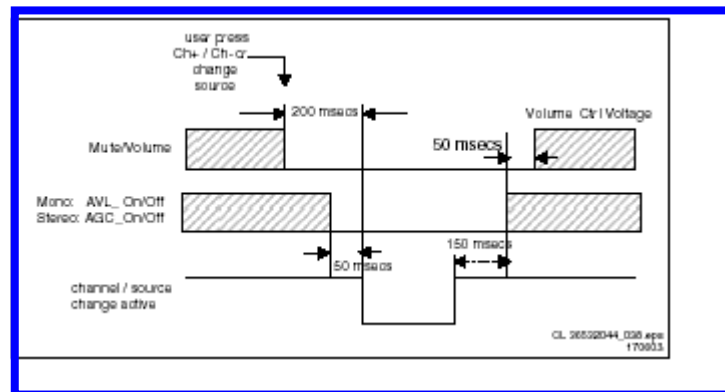
La Condición de “MUTE”:

El procedimiento de “Muteo” del Amplificador de Audio se hace del mismo modo ya sea que se trate de televisores Monoaurales o Estereofónicos.

Para producir el “MUTE” el UOC pone en su pin n° 4 (que normalmente es un púrtico del tipo PWM) un valor fijo de 0 Volts. Esto significa que el pin n° 9 del Amplificador de Audio es puesto a 0 Volts, siendo ésta la condición de “MUTE”.

El Televisor debe activar el “MUTE” en los siguientes casos:

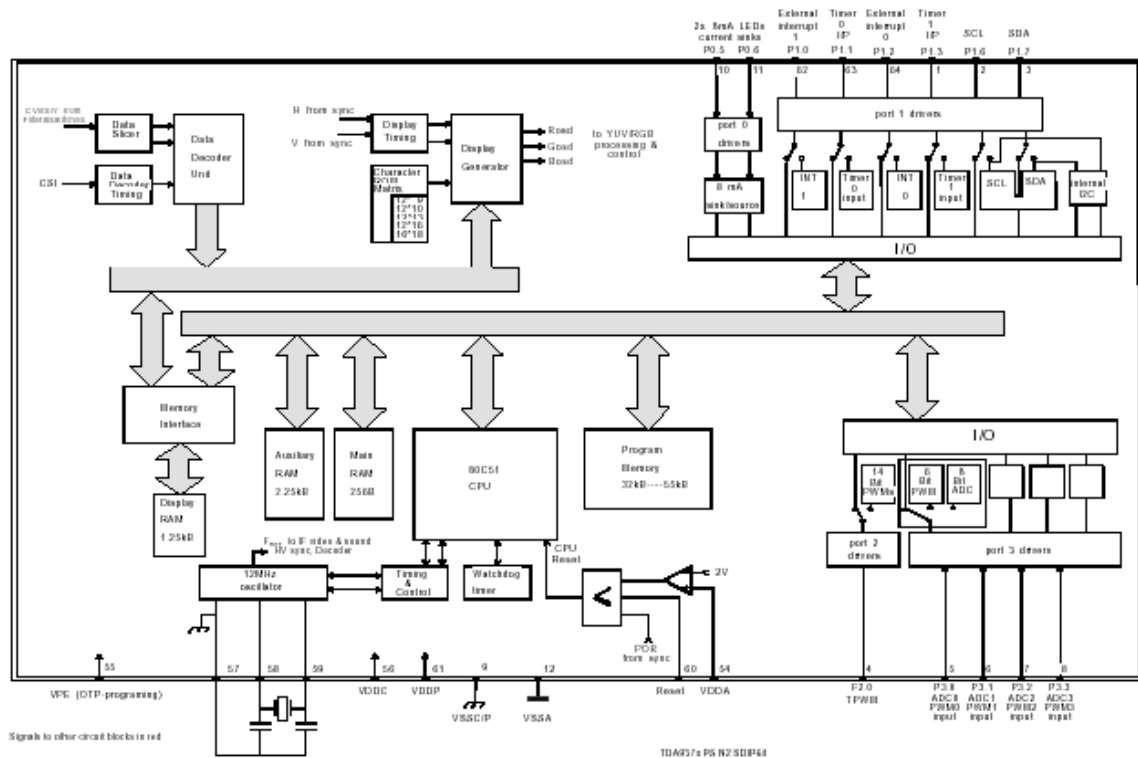
- 1) Toda vez que el usuario active el “MUTE” desde el Control Remoto.
- 2) Toda vez que haya un cambio de canal, ya sea de RF a RF, o de RF a AV, o de AV a RF. En el cambio de canal el “MUTE” debe ser activado primero, antes de cualquier otra actividad, y el desmuteo debe ser hecho después que cualquier otra actividad haya sido completada.



- 3) Toda vez que haya una pérdida de señal.
- 4) Durante el encendido ya sea desde el Mains Switch o desde Stand By, y debe ser removido luego que el proceso de inicialización haya finalizado.
- 5) Cuando el equipo está yendo a Stand By el “MUTE” debe ser activado primero, antes de llevarse adelante cualquier otra actividad.

CONTROL

Toda la etapa de control del televisor, es decir el Microprocesador, forma parte del Ic 7200 (TDA9370 para los modelos trinorma o TDA9377 para aquellos modelos que son sólo NTSC). Este integrado es el UOC, que en particular en el Chasis L03 se lo denomina Leader Ic.



El Microprocesador funciona en base a una CPU del tipo 80C51 la cual utiliza como clock un oscilador en base a un cristal de 12Mhz.

El Microprocesador tiene incorporada una ROM de tipo OTP (One Time Programmable) de 55Kbytes donde está almacenado el programa principal.

A su vez cuenta también con tres bancos de memoria RAM para distintos propósitos.

El primer banco de RAM interna está asociado al generador de OSD; el segundo banco de RAM es de 2.25Kbytes y permite almacenar hasta 10 Pag de Teletexto (no usado en LATAM), y el tercer banco de RAM es un pequeño arreglo de 256 Bytes para cálculos auxiliares parciales.

La Data Decoder Unit recibe la Señal CVBS y decodifica el Closed Caption de la misma.

El Display Generator es el bloque encargado de insertar en pantalla todo lo que sea al OSD.

Por otro lado, hay dos importantes interfases de tipo I/O programables de modo de conectar al Microprocesador con los dispositivos a controlar, o recibir interrupciones desde los mismos.

Existe también un interfase I2C para comunicación serie con los dispositivos externos o con otras etapas internas del Leader.

DESCRIPCIÓN DE LOS PINES ASOCIADOS AL MICROPROCESADOR:

Pin n° 1(Std_Con): Es un I/O Port programado como salida en nuestro caso. Proporciona la señal Std_Con cuyo valor normal en funcionamiento es de 3.3 volts. Cuando el TV pasa a Stand By el pin n°1 entrega una señal cuadrada de 100 Hz que pone a la Fuente de alimentación en el Modo “Burst o Ahorro de Energía”.

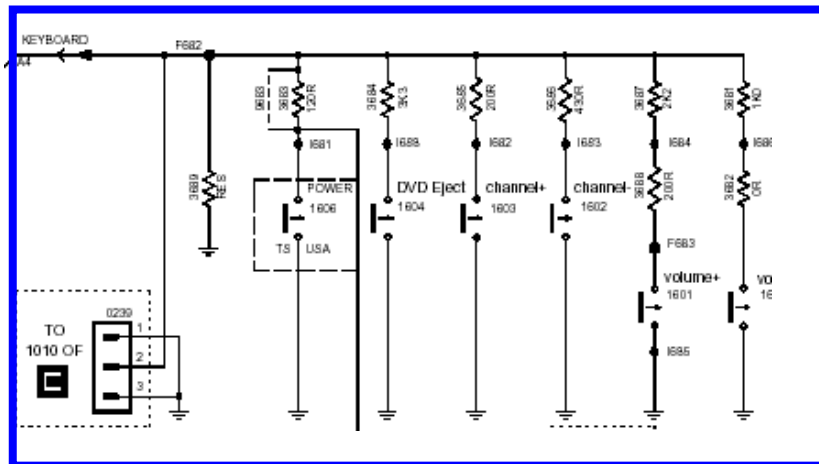
Pin n° 2(SCL): Es un I/O port programado como salida y proporciona la señal SCL correspondiente al Buss de I2C.

Pin n° 3(SDA): Es un I/O port de tipo bidireccional. Es usado por el Microprocesador para enviar o recibir la señal SDA (Serial Data) del Buss de I2C.

Pin n° 4(Volume): es un Modulador de Ancho de Pulso programable de 7 Bits. Entrega una señal de tipo rectangular de 3.3 volts de amplitud y con un Ciclo de Actividad que puede ser variado desde 0 a 100%. Es utilizado para el Control de Volumen. Como la resolución de este port es de 6 bits, 64 posibles niveles de volumen diferentes pueden ser seleccionados.

Pin n° 5(PW_ADJ): Es un Modulador de Ancho de Pulso para producir la señal PW_Adj que es necesaria para el ajuste del Ancho en estos TV's que no tienen Modulador E/W. Recordar que esta onda es de tipo rectangular y que por default tiene Duty Cycle de 50%. Afecta levemente el valor de la Fuente de Alimentación. El Duty Cycle de la señal que entrega este port puede ser variado entre 0 y el 100% con una resolución de 6 bites, lo cual da un total de 64 posibilidades de Duty Cycle seleccionables para el ajuste.

Pin n° 8 (KeyBoard): Es un Conversor A/D de 8 bits de resolución utilizado para detectar cuál de las teclas del Teclado Local está siendo presionada. Es muy útil cuando se lo usa asociado a un teclado formado por una cadena de resistencias y pulsadores, tal como en nuestro caso.



La resolución de 8 bits le permite diferenciar entre 256 niveles distintos de tensión de entrada al convertor.

Pin n° 10 (LED): Es un I/O Port programado como salida con la característica de que puede funcionar como sumidero de corriente con una capacidad de manejo de hasta 8 mA, es decir 4 mA más que cualquiera de los otros I/O Ports. Por medio de este pin se controla el encendido del LED.

Pines 54, 56 y 61 (VddA, VddC y VddP) :

Pin n° 54 (VddA) : Pin de alimentación para toda la circuitería relacionada con Señales analógicas, tales como el Oscilador, las tensiones de referencia de los Conversores AD y los registros asociados al Procesador de Video.

Pin n° 56 (VddC) : Es el pin de alimentación exclusivo de la parte de Control del Ic. La tensión en este pin debe de ser de 3.3 volts, aún bajo la condición de Stand By del TV.

Pin n° 61 (VddP) : Es el pin de alimentación de todos los Pórticos de Salida del Microprocesador.

IMPORTANTE: Tanto en operación normal como en Stand By los tres pines anteriormente explicados deben estar alimentados por la tensión de 3.3 Volts. Cuando los 3.3 volts están presentes en los tres pines, todos los registros internos del Procesador de Video pueden ser escritos por el Microprocesador (también incorporado en el UOC) por medio del Buss de I2C interno. **También la Señal HDrive en el pin n° 33 del UOC puede ser obtenida para el encendido del TV sin necesidad de contar con los +8 Volts.**

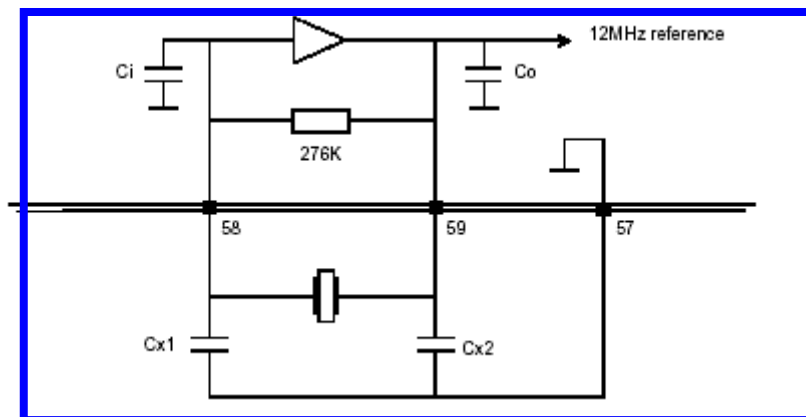
Pin n° 55 (VPE) : Es un pin que sólo se usa en el momento de grabar la ROM de programa interna del OTP, antes de que el integrado sea usado en el TV. Como la ROM interna puede ser grabada una sola vez; luego de ésto el pin no cumple ninguna otra función y puede ser dejado sin conexión.

Pines 58, 59 y 57 (XTALIN / XTALOUT / OSCGND) : El Oscilador a Cristal que trabaja a 12 MHz proporciona la señal de referencia a los diferentes bloques internos del Ic (recordar lo visto para IF PLL y para el Procesamiento de los Sincronismos) . Por supuesto este Oscilador es también responsable de generar la señal de Clock para la etapa de Control.

El Cristal de referencia esta ubicado entre los pines 58 y 59 del Ic, y los Capacitores externos C2602 y C2603 (33 pF) van conectados desde los pines 58 y 59 al pin 57 que es el pin de masa exclusivo del Oscilador.

Es muy importante , desde el punto de vista de diseño conectar sólo los Capacitores al pin 57 y dejar el pin flotante. La conexión a masa es interna.

Internamente el Oscilador presenta la siguiente configuración:



Pin n° 62 (IR) : Es una entrada de interrupción y en este caso en particular es usado por el Microprocesador para recibir los comandos que el usuario efectúa por medio del Control Remoto. Esta entrada de interrupción tiene la particularidad de que puede ser utilizada para habilitar o detener un Contador interno del Micro. Cuando la Interrupción es detectada (un flanco descendente en este pin), un nivel alto en el pin habilita al un Contador interno para contar. Luego un nivel bajo en el pin detiene dicho conteo. De esta manera tan sencilla el Micro detecta a qué comando corresponde el Código Infrarrojo recibido.

PROTECCIONES

Además de las ya explicadas Protecciones propias de la Fuente de Alimentación, en el Chasis L03 existen una serie de protecciones de las que se encarga el UOC.

Protecciones por medio del PIN n° 50:

El pin n° 50 del UOC es un pin utilizado para las siguientes Protecciones:

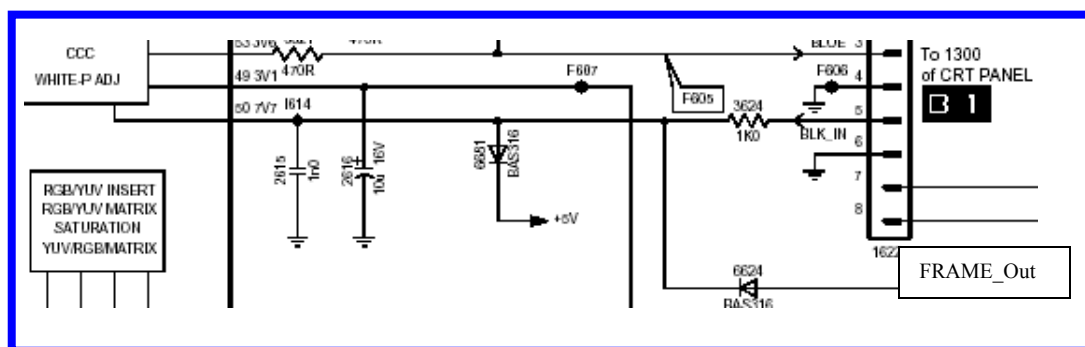
Protección por Corriente de Haz elevada.

Protección por defecto en la Tensión +5V.

Protección por defecto en la Etapa de Salida Vertical.

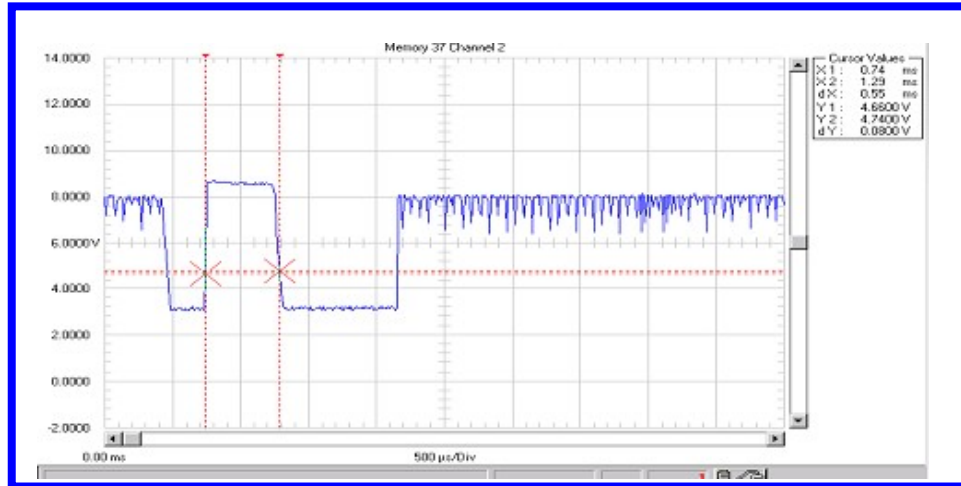
Protección por defecto en el CRT Panel.

Básicamente al pin n° 50 del UOC confluyen informaciones de distintas etapas del TV. Un esquema simplificado de la aplicación del pin n° 50 es el que se puede ver a continuación:



La forma de Onda en el pin n° 50 es entonces una combinación de las señales o tensiones que a él confluyen.

La forma de onda correcta en dicho pin es del siguiente tipo:



Con un Tester digital y señal dinámica se miden tensiones del orden de los 4.8V a los 5.2V
 Con un Tester analógico la medición da entre 3.5V y 5V.

Protección por Corriente de Haz elevada : Si la Corriente de Haz es demasiado elevada, la corriente que fluye como Feedback desde el Panel TRC al pin n° 50 del UOC hará que la señal BLK_IN (en el pin n° 5 del Conector 1622) modifique la forma de onda del pin n° 50 elevando la tensión en este pin, lo cual pondrá el TV en protección.

Protección por defecto en la Tensión +5V : La señal BLK_IN junto con los pulsos FRAME_OUT están enclavados a los +5V por medio del Diodo 6681 de modo que la tensión en el pin n° 50 no supere nunca los 5.6 volts, y a su vez en condiciones normales la tensión de dicho pin debe ser de ese orden. Cuando hay un defecto en esta tensión auxiliar de +5V, como por ejemplo un cortocircuito a masa, esto será detectado como un valor incorrecto en la tensión del pin n° 50 y el aparato entrará inmediatamente en protección.

Protección por defecto en la Etapa de Salida Vertical : El pulso FRAME_OUT es derivado del Pulso de Retrazado Vertical. Cuando hay un defecto en la Etapa de Salida Vertical, o cuando el Yugo de Deflexión Vertical está abierto o en cortocircuito parcial, no habrá Pulso de Retrazado.

Cada 20 mSeg hay una “ventana” en la señal BLK_IN donde el pulso FRAME_OUT proveniente de la Etapa de Salida Vertical debe ser insertado. La duración de dicho pulso es del orden de los 800 uSeg. Si el pulso FRAME_OUT no es detectado por el UOC en el pin n°50, o si la duración del pulso es mayor a los 900 uSeg, esto es síntoma de defecto en la etapa y el TV entra en protección.

Protección por defecto en el CRT Panel: Cuando hay un defecto en el Amplificador RGB, como podría llegar a ser un cortocircuito entre Colector y Emisor de Q7313 (BF422), el Loop de Corriente de Negro se verá alterado, y por ende, también la señal BLK_IN, lo cual hará que el aparato entre en protección.

Protección por +8V defectuosos:

Por medio de los pines n° 14 y n° 39 se da alimentación a la parte analógica del integrado. La tensión +8V es aplicada a estos pines y el consumo de corriente total de la parte analógica del UOC es suministrado en partes iguales por medio de estos dos pines. Los +8V son monitoreados constantemente por el UOC, y si dicha tensión cae por debajo de los 6.2 volts, la señal HDRIVE en el pin n° 33 del Ic es detenida y las salidas RGB son borradas.

Cuando el TV está en Stand By , los +8V no necesitan estar aplicados al UOC. Esto es útil como modo de ahorro de energía.

Para escribir los registros internos del Procesador de Video sólo basta con que los +3.3 volts estén aplicados al UOC.

Protección por exceso de Alta Tensión – Protección por Rayos X:

El pin n° 36 del UOC es el que recibe la señal EHTO proveniente de la del Bobinado de Alta Tensión para compensar las variaciones de Geometría ante cambios en la corriente de Haz. En nuestro caso sólo la altura podrá ser corregida desde aquí, ya que los equipos no cuentan con Modulador Este / Oeste. Será entonces normal medir en el pin n° 36 del UOC tensiones dentro de un rango de 1,2 volts a 2.8 volts. Cuando la tensión en el pin n° 36 es exactamente de 2 volts no hay ningún efecto de compensación de Geometría.

Pero el pin n° 36 tiene a su vez asociada una segunda función , que es la Protección de Rayos X. Si la tensión del pin n° 36 excede los 3.9 volts por un período de tiempo mayor a 1 uSeg la protección se activa, luego de lo cual el TV se apaga del siguiente modo:

- 1) La Deflexión Vertical es desviada a la parte superior de la pantalla.
- 2) La señal HDRIVE en el pin n° 33 es deshabilitada siguiendo el Slow Stop o apagado suave; por el cual el TON se va achicando hasta hacerse 0 luego de 43 mSeg.
- 3) Al mismo tiempo las Salidas RGB son puestas en alto para descargar el TRC.
- 4) El TV pasa a Stand By.

Protección por funcionamiento incorrecto del Buss de I2C:

Si el Buss de I2C presentase alguna de sus líneas en cortocircuito a masa, o un cortocircuito entre ambas, el TV pasa inmediatamente al modo protección.

Una buena medición a tomar en el Buss de I2C es el valor óhmico de cada línea contra masa y entre sí.

Para esto **con el TV totalmente desconectado de la red** se puede medir lo siguiente:

Con un Tester digital la resistencia entre el pin n° 3 del Leader (SDA) y Masa. El valor debe dar del orden de los 4.4KOhms.

Tomar la misma medición entre el pin n° 2 del Leader (SCL) y Masa. El valor debe dar de igual magnitud, es decir 4.4KOhms.

El valor entre ambas líneas del Buss de I2C es de 4.5KOhms.

Para la medición usar un Tester digital y conectar siempre la punta de prueba negra a Masa..

MODO SERVICE Y AJUSTES

La optimización del Software usado en este tipo de Chasis hizo posible pasar a usar un UOC cuya memoria ROM de Programa interna es de 55Kbytes en lugar de los 64Kbytes que se vinieron utilizando en chasis anteriores.

Uno de los recursos para poder usar una ROM de programa más chica fue que el MODO SERVICE estuviese implementado en un solo Menú que cumpla las funciones del SDM y del SAM juntos.

Es así que en el Chasis L03 nos vamos a encontrar con un modo llamado SERVICE DEFAULT ALIGNMENT MODE (SDAM).

El objeto de contar con un Modo SDAM es tener la opción de poder :

- 1) Cambiar los Option Bytes
- 2) Crear una situación de ajustes predefinidos de modo que los resultados de las mediciones que se realicen coincidan con los valores dados en el Service Manual.
- 3) Mostrar o Borrar el contenido del Buffer de Errores.
- 4) Sortear la Protección de Software.
- 5) Realizar ajustes en el TV.
- 6) Iniciar el proceso de Parpadeo del LED para visualizar el contenido del Buffer de Errores. Esta prestación es útil toda vez que debido a la falla no se cuente con imagen en pantalla.

Toda vez que el TV sea puesto en Modo SDAM , los valores por default de ese modo son:

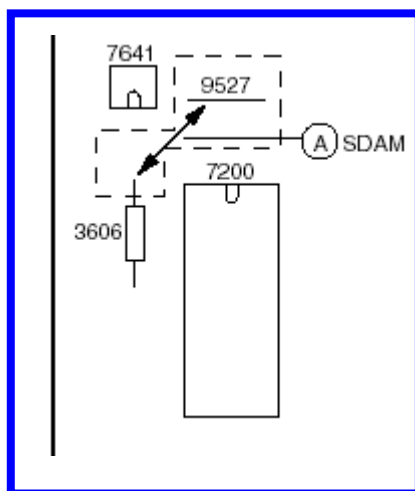
- 1- Frecuencia de Sintonía : 61.25 Mhz (frecuencia del canal 3).
- 2- Sistema de Color : Pal M para los TV's multinorma y NTSC para el resto.
- 3- Brillo, Color, Contraste = 50%
- 4- Bass, Treble, Balance = 50% ; Volumen = 25%
- 5- Todos los fetures del TV que no sean convenientes para el Service serán desactivados. Estos son:

- Sleep Timer o el Temporizador.
- Bloqueo Infantil (si el TV cuenta con este feature)
- Blue Mute (si el TV cuenta con este feature)
- Modo Hotel o modo Hospital
- Auto Stand By
- Salteo de canales no memorizados
- Autoalmacenamiento de seteos personales.
- Auto desactivación del Menu de Usuario (el mismo queda en pantalla indefinidamente si no es quitado por el técnico)

Modos de activación del SDAM:

- 1) Usando un Control Remoto Standard y digitando la secuencia de teclas "0" "6" "2" "5" "9" "6" "MENU"

- 2) Cortocircuitando temporariamente el Jumper 9257 y el pin n° 4 del UOC (posición 7200) mientras se enciende el TV desde la llave principal. Para un punto de mejor accesibilidad pero que constituye una conexión equivalente al pin n°4 del UOC es el terminal de la R3606 tal como se puede ver en el figura a continuación:



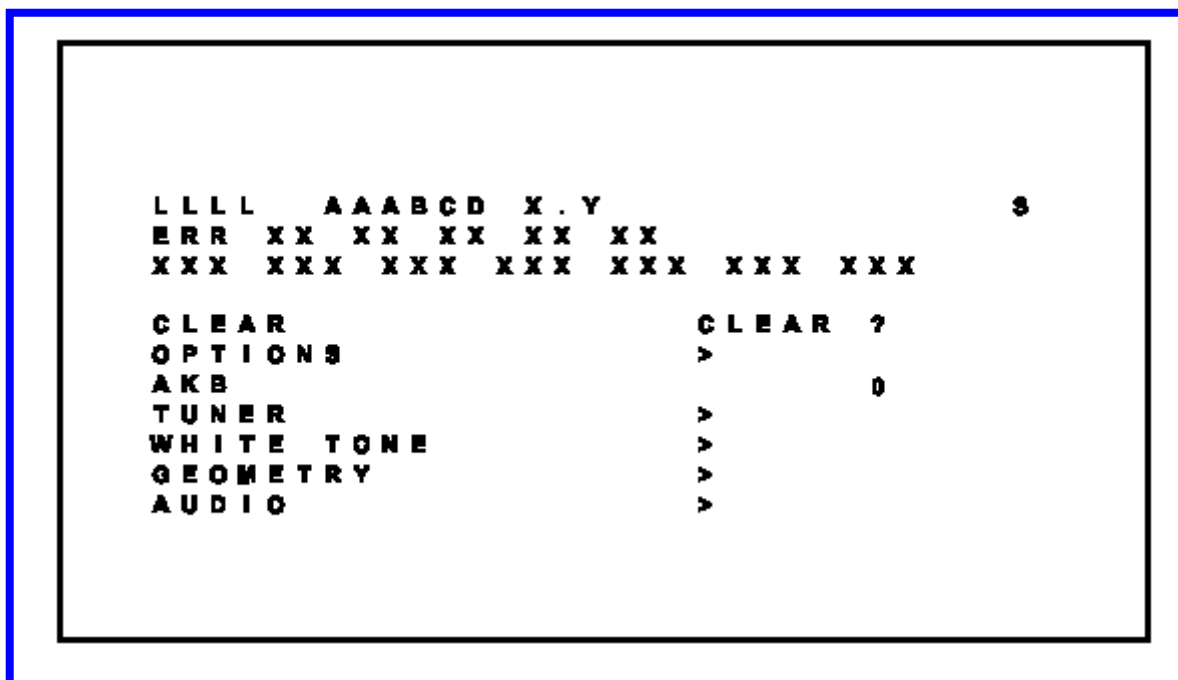
Modo de Desactivación del SDAM:

Para salir del Modo SDAM mandar el TV a Stand By presionando el boton “power” del Control Remoto. El Buffer de Errores no es borrado.

Si el equipo es apagado directamente desde el Manis Switch, entonces retornará al SDAM cuando sea encendido.

Contenidos del SDAM:

Una vez que el SDAM es activado, la siguiente información es mostrada en la pantalla del TV:



Como se puede ver sobre la esquina superior derecha de la pantalla, una “S” indica que se está bajo el Modo Service.

LLLL: es el valor en Hexadecimal de la cantidad de horas de uso que registró el TV. No se hace referencia al tiempo que el aparato estuvo en Stand By.

AAABCD-X.Y : es la identificación del Software del Microprocesador donde

AAA es el nombre del proyecto (L03)

B es la Región (L = LATAM)

C es la característica del Software dentro del total de la diversidad de los existentes en el proyecto (S = Stereo, M = Mono, D = DVD).

D es un número que indica la combinación de lenguajes soportados por el MENU.

X es el número de la versión principal del Software.

Y es el número de la Subversión del Software.

Dentro de LATAM convivirán los siguientes Software Clusters:

SW Cluster	Software name	UOC type	UOC Diversity	Special Features
L3SLM1	L03LM1 x.y	TDA9370	55K ROM Size	Trinorma Mono
L3SLM1	L03LM1 x.y	TDA9377	55K ROM Size	NTSC Mono
L3SLS1	L03LS1 x.y	TDA9370	55K ROM Size	Trinorma BTSC SAP Stereo
L3SLS1	L03LS1 x.y	TDA9377	55K ROM Size	NTSC BTSC SAP Stereo
Abbreviations in Software name: L = Latam, M = Mono, S = Stereo.				

Específicamente dentro de lo que es PLATINO (Argentina, Uruguay y Paraguay) se utilizarán las versiones asociadas al TDA9370 en la tabla anterior.

ERR XX XX XX XX XX: es el contenido del Buffer de Errores. Hasta cinco errores son posibles de almacenar. El primer error detectado es el que se sitúa más a la derecha, y el último error detectado es el que aparece más a la izquierda. Cada nuevo error que se detecta, pasa a ocupar la posición extrema izquierda del Buffer, mientras que todos los demás son desplazados un lugar a la derecha.

Los Códigos de Error que pueden hallarse en el Buffer de errores son los siguientes:

ERROR	Device	Error description	Check item	Diagram
0	Not applicable	No Error	-	-
1	Not applicable	X-Ray Protection (USA)	-	-
2	Not applicable	Horizontal Protection	7421, 7422, 7423	A2
3	Not applicable	Vertical Protection	7461, 7462, 7463, 7464, 7465, 7466	A2
4	AN5891K & AN5829S	Tone control & Audio processor I2C identification error	7821 (tone IC), 7841 (Stereo/Sap)	A5
5	TDA93XX	POH 3.3V / 8V Protection	7200, 7541, 7491, 7493, 7496	A4, A1
6	I2C bus	General I2C bus error	7200, 3604, 3605	A4
7	Not applicable	-	-	-
8	Not applicable	E/W Protection (Large Screen)	-	-
9	M24C16	NVM I2C identification error	7641, 3641, 3642, 3643	A4
10	Tuner	Tuner I2C identification error	1000, 3003, 3004	A3
11	Not applicable	Black current loop protection	8313, 7307, 7308, 7309, 7310, 7311, 7312, 7313, 7314, 7315, 7316, 7317, 7318, CRT	B1
12	Not applicable	MAP I2C identification error (USA)	-	-
13	Not applicable	VC I2C identification error (Eu)	-	-
14	Not applicable	DVD I2C identification error	-	-

Cuando no haya pantalla como para ver el Menú de Modo Service; el contenido del Buffer de Errores puede ser leído mediante el procedimiento de “Parpadeo del LED”, el cual se inicia toda vez que se entre al SDAM por cualquiera de los modos explicados.

El contenido de un Buffer de Errores con los siguientes errores : 12, 9, 6, 0, 0 será mostrado del siguiente modo:



El ultimo parpadeo largo de 3 seg indica que el contenido del Buffer ha sido mostrado por completo y que lo que sigue a continuación es la reiteración de lo ya mostrado. Luego la secuencia se inicia nuevamente mientras se esté en el SDAM y no se resetee el Buffer.

XXX XXX XXX XXX XXX XXX XXX: Representa los Option Bytes o Bytes de Configuración del TV.

La tabla de Option Bytes para todos los modelos que se fabricarán con el Chasis L03 se da en la siguiente lista: (ver siguiente hoja)

Models (L03-LATAM)	OB1	OB2	OB3	OB4	OB5	OB6	OB7
14PT3131/44R NTSC MONO	1	71	65	0	194	64	80
14PT3131/55R NTSC MONO	1	71	65	0	194	64	80
14PT3131/78R Trinoma MONO	0	71	65	0	194	64	82
14PT3132/85R NTSC MONO	1	71	65	0	194	64	80
14PT4131/44R NTSC BTSC with SAP	1	199	65	161	192	65	80
14PT4131/55R NTSC BTSC with SAP	1	199	65	161	192	65	80
14PT4131/77R Trinoma BTSC with SAP	0	199	65	161	192	65	82
14PT4131/78R Trinoma BTSC with SAP	0	199	65	161	192	65	82
15PT5231/77R Trinoma BTSC with SAP	0	199	65	161	192	65	82
15PT5231/78R Trinoma BTSC with SAP	0	199	65	161	192	65	82
15PT5231/85R NTSC BTSC with SAP	1	199	65	161	192	65	80
20PT3331/44R NTSC MONO	1	71	65	0	194	64	80
20PT3331/55R NTSC MONO	1	71	65	0	194	64	80
20PT3331/77R Trinoma MONO	0	71	65	0	194	64	82
20PT3331/78R Trinoma MONO	0	71	65	0	194	64	82
20PT3331/85R NTSC MONO	1	71	65	0	194	64	80
20PT4330/85R NTSC Bionic	1	71	65	0	194	64	80
20PT4331/44R NTSC BTSC with SAP	1	199	65	161	200	65	80
20PT4331/55R NTSC BTSC with SAP	1	199	65	161	200	65	80
20PT4331/77R Trinoma BTSC with SAP	0	199	65	161	200	65	82
20PT4331/78R Trinoma BTSC with SAP	0	199	65	161	200	65	82
20PT4331/85R NTSC BTSC with SAP	1	199	65	161	200	65	80
21PT4431/44R NTSC BTSC with SAP	1	199	65	161	200	65	80
21PT4431/77R Trinoma BTSC with SAP	0	199	65	161	200	65	82
21PT6333/44R NTSC BTSC with SAP	1	199	65	161	192	65	80
21PT6333/85R NTSC BTSC with SAP	1	199	65	161	192	65	80
21PT6533/44R NTSC BTSC with SAP	1	199	65	161	200	65	80
21PT6533/85R NTSC BTSC with SAP	1	199	65	161	200	65	80

Qué es un Option Byte? Cómo se calcula? :

Dado que con un mismo Chasis se fabrican una gran variedad de modelos de TV con diferentes prestaciones (ej. : con PIP, sin PIP; con SVHS, sin SVHS; con CVI, sin CVI; 4:3, 16:9; etc) resultaría muy antieconómico que para cada variante de televisor deba desarrollarse un Software distinto. La tendencia es entonces la de desarrollar un Software lo más general y avarcativo posible de modo que englobe la mayor cantidad de configuraciones posibles de los distintos modelos. El caso más representativo de lo anteriormente explicado lo constituye el Chasis L9, en el que todos los modelos funcionan con un único microprocesador y el Software es útil para todos los modelos hechos con ese chassis.

Como un mismo Software se emplea entonces para televisores con diferentes prestaciones, el Microprocesador debe ser de algún modo puesto al tanto de qué tipo de TV está controlando, para de este modo direccionar los distintos integrados correspondientes, como así también poner en el Menú de Usuario sólo aquellas prestaciones con las que el TV en cuestión cuenta.

Cómo se calcula?

Cada Option Byte tiene entonces un valor por default en el programa interno del Microprocesador, lo que permite que cuando se coloque una Eeprom vacía, el TV arranque aunque sea en una configuración elemental. Una vez definido en qué modelo de TV se está usando el Microprocesador, los Option Bytes correctos deben ingresarse, quedando almacenados en la Eeprom.

Un ejemplo de cálculo de un Option Byte se da a continuación:

Se toma como ejemplo el Option Byte 5 del TV 20PT4331A/77R.
 La información que el Option Byte 5 debe proporcionar al Microprocesador es la siguiente:

El 20PT4331A/77R es un TV que no tiene PIP ni No Volátil Clock; el Modo Hotel debe estar desactivado; no tiene entrada de SVHS; cuenta con entrada CVI; no tiene AV2, no tiene AV3; la entrada AV1 está presente; y es capaz de aceptar señales NTSC por las entradas de AV.

De lo anteriormente explicado se deduce que los valores de cada Bite dentro del Option Byte 5 deben ser los siguientes:

Nombre del Option Byte	Valor del Bite	Peso bin. Asociado	Valor Ponderado
OB5(0): PIP o No Volátil Clock	0	* 1	= 0
OB5(1):Modo Hotel	0	* 2	= 0
OB5(2): SVHS	0	* 4	= 0
OB5(3): CVI	1	* 8	= 8 +
OB5(4):AV3	0	* 16	= 0
OB5(5):AV2	0	* 32	= 0
OB5(6):AV1	1	* 64	= 64
OB5(7):NTSC PlayBack	1	* 128	= 128

Multiplicando el valor de cada bite por su peso binario
 Y sumando todos los productos obtenidos:

200

Llegando así al valor del OB5 que se ingresa por medio del SDAM al TV y luego se almacena en la Eeprom.

CLEAR: Ingresando a este submenú dentro del SDAM es posible resetear el Buffer de Errores, lo que es de utilidad para saber si los errores presentes son actuales o quedaron almacenados de veces anteriores.

Toda vez que se repare un TV se aconseja resetear el Buffer de errores y verificar que el contenido del mismo quede totalmente en cero. Si luego de resetear el Buffer de Errores, algún error aparece nuevamente , esto indica que algún problema aún no está resuelto en el aparato.

OPTIONS: Es el Submenú por medio del cual se ingresan los Option Bytes correctos al aparato, por ejemplo luego de cambiar la Eeprom.
 Para asignarle un determinado valor a un Option Byte, se utilizan las teclas numéricas del Control Remoto.

Hay que tener en cuenta que los valores de los Option Bytes deben ser ingresados como números de tres cifras; ejemplo "4" debe ser ingresado como "0" "0" "4".

Algunos cambios en los Option Bytes sólo tomarán efecto luego que el TV haya sido apagado y reencendido.

AKB: Seteando este registro en “1” se produce la apertura del Black Current Loop con lo cual el proceso de Calibración Continua de Cátodos deja de tener efecto. La polarización del TRC queda totalmente a lazo abierto.

Mandando el TV a Stand By el Bite AKB se pone automáticamente en “0” por lo cual se reestablece el control.

TUNER: Dentro del Submenú TUNER se encuentran todos los ajustes relacionados al Sintonizador propiamente dicho, a la etapa de FI y al demodulador de Video. Los mismos son:

IFPLL: Ajuste del valor correcto para la reinserción de portadora en el demodulador a 45.75 Mhz. Como dicha portadora se obtiene actualmente por medio de un PLL y con la precisión del Cristal de 12Mhz del Micro, no es necesario hacer ningún ajuste. El valor por default es siempre 30 .

AGC: Por medio de este ajuste se determina el valor correcto del “AGC Take Over Point”, es decir se determina a partir de qué punto el control de AGC deje de ser hecho en el Amplificador de FI (ajuste fino) para pasar a ser controlado por el Sintonizador (ajuste grueso). El modo de hacer este ajuste es el siguiente:

- 1- Conectar la salida de RF un Generador de Video a la entrada de Antena del TV.
- 2- Seleccionar en el Generador un patrón de Barras de Color como señal de ajuste.
- 3- Ajustar la amplitud de la RF del Generador a 10 mV y en una frecuencia de portadora de 61.25 Mhz.
- 4- Conectar un Voltímetro en el Modo DC al pin 1 del Sintonizador.
- 5- Activar el Modo SDAM por medio del Control Remoto (“0” “6” “2” “5” “9” “6” “MENU”).
- 6- Dentro del Submenú Tuner buscar el ítem AGC.
- 7- Usar las teclas “Cursor a la Derecha/Izquierda” para ajustar el AGC al valor correcto. El mismo se determina cuando el Voltímetro conectado al pin 1 del Sintonizador indica 3.3 Volts. (el valor del AGC por default es 32).
- 8- Presionar la tecla “MENU” para volver a la pantalla principal del SDAM.
- 9- Para asegurarse que el ajuste tome efecto se debe mandar el TV a Stand By; luego desconectar el aparato de la red por al menos 10 Seg; reconectar el TV a la red de alimentación y encender el aparato desde el Control Remoto o desde el Teclado local.

SL: Slicing Level o Nivel de Recorte.

Seteando este registro en “ON” se fija el nivel de recorte de los pulsos de Sincronismo Vertical al 70% del valor de la amplitud de dicho pulso . De otro modo el nivel de recorte se determina automáticamente según el nivel de ruido de la señal. Contar con la posibilidad de fijar el nivel de recorte es verdaderamente útil para resolver problemas de inestabilidad vertical cuando se está manejando señales fuera de Standard; tal es el caso por ejemplo de las señales que entran los decodificadores de canales Premium de cable, los cuales reconstruyen y reinsertan el Sincronismo Vertical y el Nivel de Negro de la Señal.

CL: Cátodo Drive Level

Sirve para adaptar el nivel de continua de las salidas RGB con el determinado tipo de TRC utilizado en el aparato. Para nosotros esto no debe ser tomado como un ajuste, sino que

debe ser siempre seteado a un valor fijo de “7” ya que es un requerimiento de los TRC’s que vamos a usar.

WHITE TONE: La Temperatura de Blanco de la pantalla se puede ajustar por medio de este Submenú dentro del SDAM.

Normalmente no son necesarios reajustes con respecto a los valores que posee el Microprocesador por default.

Dichos valores por default que permiten obtener una Temperatura de Blanco Normal de 11500 K son los siguientes:

Normal RED: 22

Normal GREEN: 21

Normal BLUE: 26

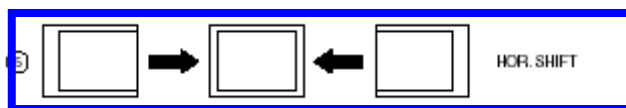
GEOMETRÍA: El SubMenú de ajustes de Geometría contiene diversos items para corregir la correcta geometría de la imagen.

La imagen patrón óptima para los ajustes de Geometría es el “CrossHatch”, y mucho mejor si se puede adicionar un patrón circular en conjunto con el CrossHatch.

Los ajustes se dividen en :

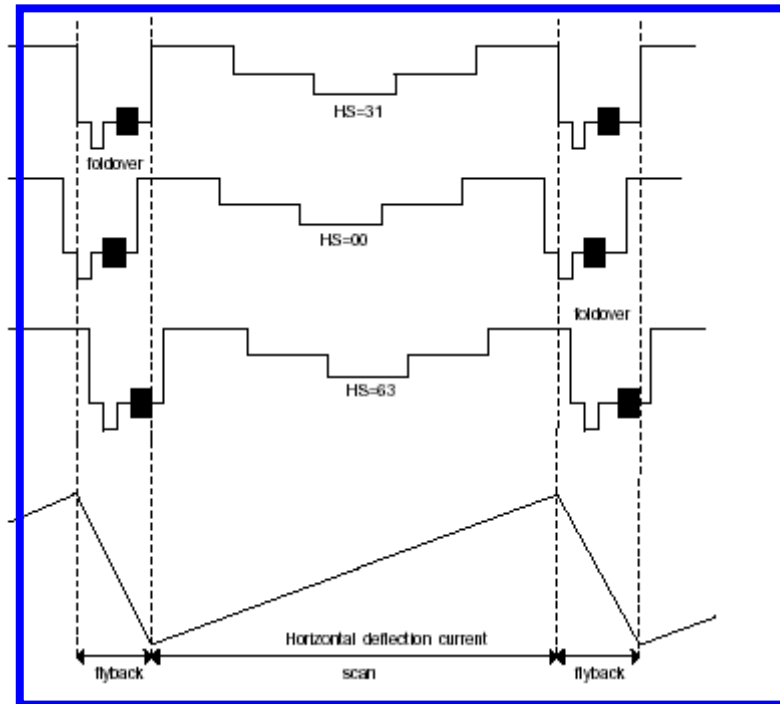
Ajustes Horizontales:

Horizontal Shift (HSH): Es el centrado horizontal de la imagen en la rampa de barrido.



Esto **no implica** el agregado de una componente continua a la corriente de deflexión, ya que por el yugo no puede circular componente continua por estar acoplado capacitivamente. El UOC demora o adelanta los Pulsos de excitación Horizontal con respecto a los Pulsos de Sincronismo que extrae de la Señal de Video propiamente dicha.

Una descripción más gráfica de lo explicado se puede obtener de la siguiente figura:



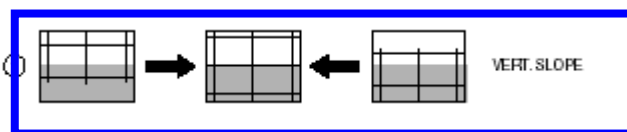
Un corrimiento excesivo de la imagen hacia la derecha o izquierda produce un pliegue en el borde lateral correspondiente de la imagen (esto fue muy comúnmente observado en el Chasis L01).

Picture Width (PW): Este es un ajuste novedoso y propio del Chassis L03.

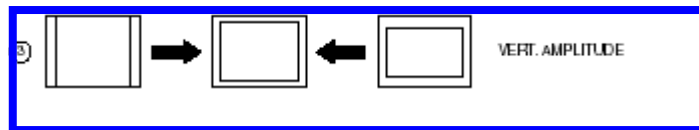
Dado que todos los aparatos a fabricarse con este chasis no poseen modulador de Este-Oeste el Ancho de la imagen queda sólo sujeto al Capacitor de Ancho. Dado que el Yugo de Deflexión es un componente con bastante dispersión de uno a otro en lo que hace a tolerancias, esto se vuelve crítico al no haber un ajuste de ancho por Software. El ajuste PW que estamos explicando modifica levemente el valor de tensión entregado por la Fuente de Alimentación de modo de lograr que la imagen cubra perfectamente la pantalla en forma horizontal. Luego de ajustar correctamente el ancho, un nuevo ajuste debe ser hecho a la Altura Vertical (VAM) ya que la modificación de la tensión de Fuente afecta a los dos barridos.

Ajustes Verticales:

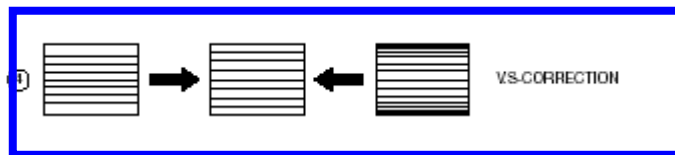
Vertical Slope (VSL): Por medio de este ajuste se logra que las proporciones de la imagen en el barrido sean las mismas en la parte superior y en la inferior de la rampa. Es decir, se centra la imagen en el barrido (no en la pantalla). Es un ajuste similar al HSH dentro de los ajustes Horizontales. No Confundir tampoco con el ajuste de Linealidad o Corrección en S. El modo correcto de hacer este ajuste es seteando el Service Blanking (SBL) en "ON" lo cual anulará la mitad inferior del barrido.



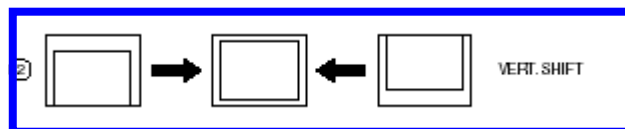
Vertical Amplitude (VAM): Ajusta la altura de la imagen de modo que esta cubra la totalidad de la pantalla. Algunos otros ajustes no son compensados, tal es el caso de VSH, el cual debe volver a ser verificado.



Vertical S-Correction (VSC): Este es realmente el ajuste de Linealidad vertical. **Es el primer valor que debe verificarse antes de hacer cualquier otro ajuste vertical.** Este ajuste se hace con la idea de que los intervalos verticales del CrossHatch pattern tengan la misma altura a lo largo de toda la pantalla. Está estrechamente relacionado con el tipo de TRC (tamaño de pantalla y tipo). Normalmente se adopta un valor standard para cada tipo de tubo y luego no se lo modifica.



Vertical Shift (VSH): Ajusta el centrado del Barrido Vertical en la pantalla. Modifica el nivel de continua de la Corriente de Deflexión. (no confundir con el ajuste VSL).



Después de realizado este ajuste puede ser necesario volver a reajustar la altura (VAM).

Service Blanking (SBL): Anula el barrido de la mitad inferior de la imagen si este item es puesto en "ON". En realidad no es un ajuste sino que es un control auxiliar para hacer un correcto ajuste de VSL (ya explicado).

Método de Ajuste de Geometría Vertical:

- 1- Usar como patrón de ajustes un generador de CrossHatch si es posible con un patrón circular incluido.
- 2- Seleccionar "Vertical Alignments" en el SubMenú de Geometría dentro del Modo SDAM.
- 3- Ajustar el valor de VSC al valor recomendado según el tipo de TRC usado.
- 4- Setear el Item Service Blanking (SBL) en "ON" de modo de deshabilitar el barrido en la mitad inferior de la pantalla.
- 5- Hacer bajo esta condición el ajuste de Vertical Slope (VSL) de modo que el borrado de la pantalla comience en la línea blanca horizontal central de la imagen de ajuste.
- 6- Volver al Item Service Blanking (SBL) y ponerlo en "OFF" de modo de restituir el Barrido Vertical a toda la pantalla.
- 7- Seleccionar el ajuste Vertical Amplitude (VAM) y ajustar la altura de la imagen de modo que en la parte superior de la pantalla desaparezcan los bordes de encastillado.

- 8- Seleccionar Vertical Shift (VSH) y ajustar para lograr un correcto centrado vertical de la imagen en la pantalla. Pueden tomarse como referencia las dos pequeñas marcas en los laterales del TRC. Ajustar VSH hasta que la línea blanca horizontal central de la imagen de ajuste coincida con las marcas del TRC.
- 9- Repetir secuencialmente los ajustes 7 y 8 si es necesario, ya que es común que interactúen.